

TR 440

**Eigenschaften
des RD 441**

TR 440

Eigenschaften des RD 441

in der Sicht der Systemprogrammierung

Im Unterschied zu "TR 440 - Zentraler Rechner RD 441 - Einführung" soll diese Schrift weniger die Gesamtkonzeption, den Aufbau, konstruktive oder funktionelle Besonderheiten und den technologischen Stand, als vielmehr die für den Programmierer wesentlichen Eigenschaften und Charakteristika des Digitalrechners RD 441 als Zentraleinheit von Rechenanlagen der TR 440-Staffel herausstellen. Wegen dieser Akzentsetzung empfiehlt es sich, zu vollständiger Unterrichtung beide Hefte zu lesen. In einigen Abschnitten ergänzen sie einander inhaltlich, in anderen unterlegen sie verschiedene Betrachtungsweisen.

Ausgabe
März 70

INHALTSVERZEICHNIS

		Seite
1.	Überblick	1
1. 1.	Einführende Beschreibung des RD 441	1
1. 2.	Die Wortstruktur des RD 441	3
2.	Der Rechnerkern und seine Funktionen	8
2. 1.	Das Rechenwerk	8
2. 2.	Das Befehlswerk	10
2. 3.	Die Adressierungsmodi und die Adreßrechnungsmodi	16
3.	Speicherorganisation und Speicher- ansteuerung	18
3. 1.	Der Zentralspeicher	18
3. 2.	Speicherkacheln und Adressen- verschränkung	18
3. 3.	Erläuterungen	19
3. 4.	Seiten und Kacheln	19
3. 5.	Hardwareseitige Belegung der Speicherkachel 0	20
3. 6.	Die Speicherzuteilung	22
3. 7.	Aufteilung und Belegung von Pro- zeßleitblöcken	23
3. 8.	Adressierung der Seiten-Kachel- Zuordnungstabelle im Prozeßleitblock	25
3. 9.	Die Speicheransteuerung	27
3. 10.	Die Indexspeicheransteuerung	31
4.	Das EA-Werk	33
4. 1.	Die Speicherkachel 1	34
4. 2.	Der EAW-Befehl	35
4. 3.	Die Kanalbefehlszellen	35
4. 4.	Die Startinformation	35
4. 5.	Der Y-Befehl	36
4. 6.	Die Kanalzuordnungszellen	36
4. 7.	Das V-Register und die T-Register	37
4. 8.	Das P-, das H- und das E-Register	37
5.	Das Unterbrechungssystem	38
5. 1.	Die Eingriffe	38
5. 2.	Die Eingriffsarten	38
5. 3.	Das Eingriffswort	39
5. 4.	Hardwareseitige Vorgänge beim Eintreffen eines Eingriffs	40
5. 5.	Die Eingriffssperre	42
5. 6.	Die Alarme	42
5. 7.	Die Alarmarten und ihre Einteilung in Gruppen	43
5. 8.	Die Alarmsperren	45
5. 9.	Hardwareseitige Vorgänge bei Eintreffen eines Alarms	45
5. 10.	Die Unterbrechung von Befehlen	47
5. 11.	Unterbrechungsstellen im Befehlsablauf	47

6.	Makros und SSR-Befehle	49
6.1.	Hardwareseitige Vorgänge bei Erkennen eines Leercodes (Makro)	49
6.2.	Hardwareseitige Vorgänge bei Erkennen eines SSR-Befehls	50
7.	Bildverzeichnis	52
8.	Sachverzeichnis	53

1.1. Einführende Beschreibung des RD 441

Der Digitalrechner RD 441 (zentraler Rechner von Rechenanlagen TR 440) ist eine Eindreßmaschine, die Information wortweise parallel verarbeitet. Ein Wort besteht aus 52 Binärstellen, von denen je 2 für hardwareseitige Typenkennung und Dreierprobenprüfung, die verbleibenden 48 für die eigentliche Informationsdarstellung verwendet werden.

Unabhängig vom jeweiligen Ausbau wird der RD 441 gegliedert in die Hauptbestandteile:

Rechnerkern,
Zentralspeicher (Speicherwerk),
Vorrangwerk und
EA-Werk (Eingabe/Ausgabe-Werk);

deren funktioneller Zusammenhang in Bild 1 veranschaulicht ist. Untergeordnete Werke oder Bestandteile der nächsten Ebene sind im Bild durch die nächst kleinere Schrift kenntlich gemacht. Kanalwerke und Geräteanschlüsse (Übergabestellen) im Bild entsprechen dem maschinentechnischen Maximum.

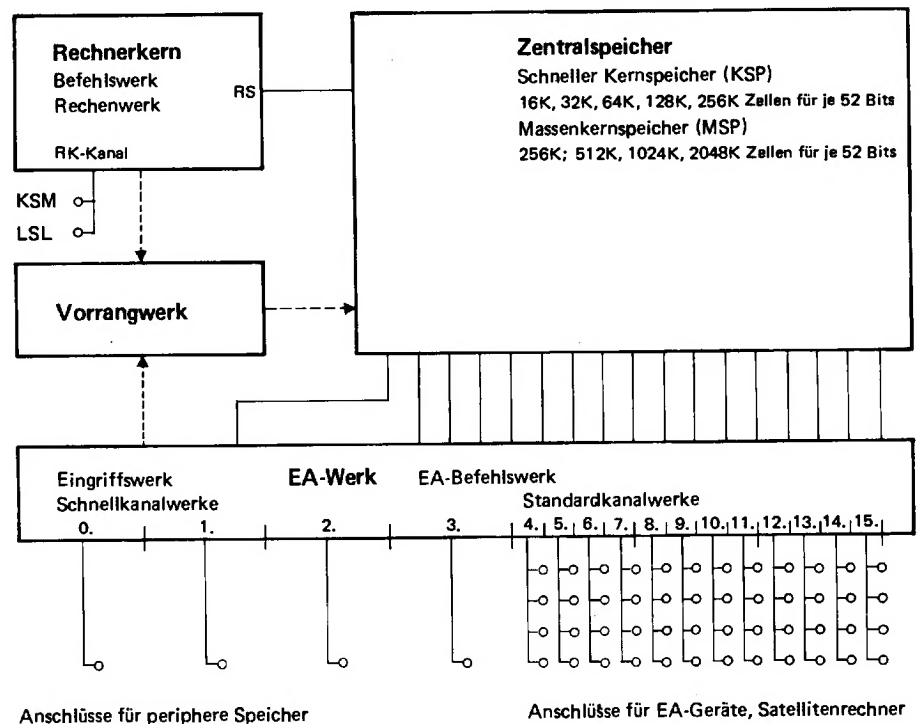


Bild 1 Digitalrechner RD 441 - Werke im Zusammenhang

Verschiedene Ausbaumfänge des RD 441 unterscheiden sich in der Kapazität des Zentralspeichers sowie in der Ausstattung des EA-Werks mit Kanalwerken unterschiedlicher Leistung, Zusammensetzung und Anzahl. Der RD 441 kann außerdem mit einem zweiten Rechnerkern ausgestattet werden.

Rechnerkern

Der Rechnerkern ist untergliedert in Befehlswerk, Rechenwerk und Mikroprogramme, mit denen die rund 240 fest verdrahteten Befehle realisiert werden. Je zwei Befehle (mit Ausnahme der EAW-Befehle) belegen ein Ganzwort, wobei verschiedene Befehlsformate möglich sind. Neben Festpunkt- und Gleitpunktoperationen einfacher und doppelter Genauigkeit sind Transportoperationen, boolesche Operationen, Indexoperationen, Modifizier-, Ersetz- und Registeroperationen, Tabellendurchsuchoperationen, Zeichentransporte sowie eine Reihe von Verzweigungsoperationen im Befehlsvorrat enthalten. Zur Adressierung im Hauptspeicher sind vier verschiedene Adressierungsmodi verdrahtet.

Zentralspeicher

Aufgabe des Zentralspeichers ist es, als sogenannter Hauptspeicher ständig benötigte Teile der Grundprogrammausstattung und Benutzerprogramme bei deren Läufen zu unmittelbarer Verfügung des Rechnerkerns aufzunehmen. Der Zentralspeicher gliedert sich in einen schnellen Kernspeicher (KSP) und einen Massenkernspeicher (MSP), zwei Ferritkernspeicher mit unterschiedlichen Zeiteigenschaften.

Der schnelle Kernspeicher ist aus Moduln mit je 16 K Speicherzellen (für Worte aus 52 Bits) zusammengesetzt. Jeder Modul verfügt über eine eigene Funktionssteuerung. Der schnelle Kernspeicher ist lieferbar in Stufen von 16 K, 32 K, 64 K, 128 K und 256 K Zellen, entsprechend 1, 2, 4, 8 und 16 Moduln. Die Zykluszeit des einzelnen KSP-Moduls beträgt $0,9 \mu\text{s}$. Bei mehreren KSP-Moduln realisierte Adressenverschränkung und Zyklenüberlappung führt in Abhängigkeit von der Zahl der Speichermoduln und damit in Abhängigkeit von der Ausbaustufe zu einer wesentlich kürzeren effektiven Zykluszeit des Gesamtspeichers.

Der Massenkernspeicher, dessen Moduln (MSP-Moduln) eine Zykluszeit von $2,1 \mu\text{s}$ besitzen, kann nachträglich eingebaut bzw. erweitert werden. Er hat die Ausbaustufen 512 K, 1024 K oder 2048 K, wobei es sich um 1, 2 oder 4 Moduln zu je 512 K handelt. Vorgesehen sind außerdem Moduln zu 256 K. Auch der Massenkernspeicher ist also aus voneinander unabhängigen Speichermoduln aufgebaut, was wieder eine gewisse Reduzierung der effektiven Zykluszeit zur Folge haben kann.

Vorrangwerk

Das Vorrangwerk koordiniert auf den Speicher gerichtete Zugriffswünsche des Rechnerkerns und verschiedener Teile des EA-Werks abhängig vom Rang des jeweiligen Zugreifers und davon, ob die dabei angesprochenen Speichermoduln frei sind. Das Vorrangwerk ist an sich vom Rechnerkern und vom EA-Werk unabhängig und steht dem Zentralspeicher am nächsten (gleichsam in der Rolle eines Pförtners). Aus Gründen einer übersichtlichen Systematik als gesondertes Werk angesehen, ist es aus technischen Gründen zusammen mit einem Teil des EA-Werks realisiert.

EA-Werk

Das EA-Werk hat als Ganzes die Aufgabe, den gesamten, unabhängig vom Rechnerkern betriebenen EA-Verkehr abzuwickeln. Es besteht aus dem EA-Befehlswerk, das bis zu 5 Befehle simultan ausführen kann, sowie maximal 4 Schnellkanalwerken und 12 Standardkanalwerken. Jeder Standardkanal besitzt 4 Anschlußmöglichkeiten für EA-Geräte oder auch Satellitenrechner. Von einem Schnellkanal kann ein peripherer Speicher (als Hintergrundspeicher) angesteuert werden, womit über ein vollausgebautes EA-Werk maximal 52 periphere Geräte hardwareseitig betrieben werden können. Standardkanäle erlauben Übertragungsraten (bei 10 m Kabellänge) von 700 000 Bytes/s, Schnellkanäle Übertragungsraten von 3 000 000 Bytes/s (Bytes zu 8 Bits). Da jedem der Schnellkanalwerke ein eigenes EA-Befehlsregister zugeordnet ist, können die an sie angeschlossenen Geräte parallel betrieben werden. Für die Standardkanalwerke steht insgesamt ein Register im EA-Befehlswerk zur Verfügung, so daß die Standardkanäle im Zeitmultiplex betrieben werden.

Rechnerkern-Kanal

Neben den Kanalwerken des EA-Werks gibt es noch einen Rechnerkern-Kanal (zugleich Prüfkana), über den die Kontrollschreibmaschine direkt mit dem Rechenwerk verbunden ist. Um auch umfangreichere Information eingeben zu können, wird an diesen Prüfkana noch ein Lochstreifenleser (für Elementareingabe) angeschlossen. Der Prüfkana erlaubt es, bestimmte Befehle in die zu lesende Information einzustreuen, die sofort ausgeführt werden. Er dient damit, außer zu Wartungszwecken, auch zum Einschleusen des Betriebssystem-Urstartprogramms.

1.2. Die Wortstruktur des RD 441

Die wesentliche Informationseinheit ist das Ganzwort. Es ist 52 Bits lang, von denen die ersten beiden als Dreierprobenprüfstellen, die beiden folgenden zur Kennzeichnung des Worttyps verwendet werden (Typenkennung). Die restlichen 48 Bits dienen für die Aufnahme der eigentlichen Information.

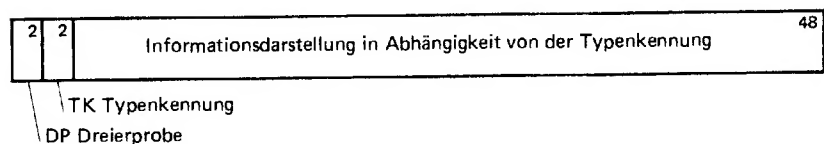


Bild 2a Allgemeines Maschinenwort des RD 441

Die durch die Typenkennung 0 und 1 gekennzeichneten Worttypen werden gemeinsam als Zahlworte interpretiert. Jedes Zahlwort im Speicher enthält eine Binärstelle für die Marke, die durch das Programm eingesetzt und abgefragt werden kann. Wird ein markiertes Wort in ein Register übernommen, so wird die Marke abgespalten und in das Markenregister RM übernommen. Die Markenstelle im Register wird vorzeichengleich gesetzt und dient als Überlauf-Auffangstelle.

Die im Speicher, im Rechenwerk und im Bereitadressen-Register auftretenden negativen Zahlworte werden im (b-1)-Komplement dargestellt: in der Vorzeichen- und in den Ziffernstellen ist die binäre Null (0) mit der binären Eins (L) vertauscht und umgekehrt. Die Null besitzt daher die Darstellungen +0, d. h. 0000 ... 00 und -0, d. i. LLL ... LL. Da dadurch eine negative Zahl in ihrer Komple-

mentdarstellung z. B. als Ganzwort <1 um $(1 - 2^{-46})$ zu groß ist, wird eine Summe aus zwei negativen Zahlen oder eine positive Differenz durch Einerrücklauf von der vordersten (linken) Stelle zur Einerstelle um $(1 - 2^{-46})$ verringert. Der Einerrücklauf bewirkt also, daß bei L-Überlauf der höchsten Vorzeichenstelle eine L zur Einerstelle addiert wird.

Sedezimale Gleitpunktzahl

Die Gleitpunktdarstellung von Zahlen eignet sich vor allem für technisch-wissenschaftliche Berechnungen, bei denen sich sehr oft die Größenordnung der Zwischenergebnisse nicht abschätzen lassen bzw. der Speicheraufwand (und damit auch der Rechenaufwand) bei Berücksichtigung aller möglichen Fälle viel zu hoch wäre, um wirtschaftlich noch vertretbar zu sein.

Die Gleitpunktdarstellung bietet die Möglichkeit, bequem mit Zahlen sehr verschiedener Größenordnung rechnen zu können, was freilich in einigen Zusammenhängen besondere Aufmerksamkeit gegenüber der Fehlerentwicklung dabei erfordert. Die Rechenergebnisse werden i. a. normalisiert, d. h. so geschiftet, daß Überläufe beseitigt und die vorhandenen Binärstellen vollständig ausgenutzt werden.

Beim RD 441 beträgt die einfache Rechengenauigkeit umgerechnet 10 Dezimalstellen.

Die Darstellung einer Gleitpunktzahl x erfolgt in der Form:

$$x = a \cdot 16^c$$

mit $a \geq 0$ als 38 stelliger Mantisse und c als 7 stelligem Exponenten. Sedezimal heißt die Darstellung, weil die Basis 16 ist. Einer Sedezimalstelle entsprechen 4 Dual- bzw. Binärstellen.

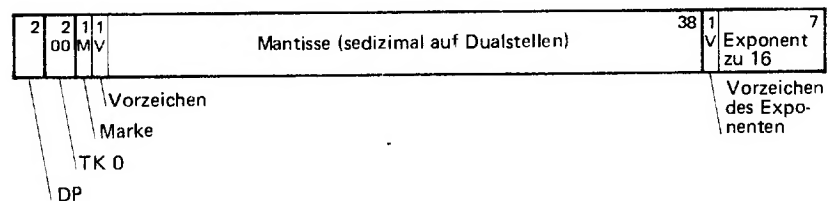


Bild 2b Sedezimale Gleitpunktzahl (auf Dualstellen)

Die 38 Binärstellen der Mantisse haben von links nach rechts die Wertigkeiten 2^{-1} , 2^{-2} , ..., 2^{-38} . Es sind also Vielfache von 2^{-38} bis zum Wert $1 - 2^{-38}$ darstellbar.

Bei normalisierten Gleitpunktzahlen zur Basis 16 muß mindestens eine der vier höchstwertigen Binärstellen L sein. Damit ist der kleinste Betrag der Mantisse bei normalisierter Darstellung 2^{-4} . Der Betrag des größten Mantissenwertes ist $1 - 2^{-38}$.

Die Binärstellen des Exponenten haben von links nach rechts die Wertigkeiten 2^6 , 2^5 , ..., 2^0 , so daß der Exponent c den Bereich von $-127 \leq c \leq +127$ überstreicht.

Normalisierte Gleitpunktzahlen x einfacher Genauigkeit liegen also stets im Bereich:

$$2^{-4} \cdot 16^{-127} \leq |x| \leq (2^0 - 2^{-38}) \cdot 16^{127} \quad \text{oder}$$

$$2^{-512} \leq |x| \leq (2^{508} - 2^{470}) \quad \text{entsprechend}$$

$$7,458\,341 \cdot 10^{-155} \leq |x| \leq 8,379\,881 \cdot 10^{152}.$$

Die Gleitpunkt-Arithmetik setzt normalisierte Operanden voraus und liefert i. a. auch wieder normalisierte, in Abhängigkeit von der höchsten unwesentlichen Stelle gerundete Ergebnisse. Entsteht bei der Rechnung ein Exponent $c > 127$, so wird die richtige Mantisse, aber ein Exponent $b - 255$ gebildet und arithmetischer Alarm gemeldet. Eine Überschreitung des Exponentenbereichs nach unten wird nicht vollzogen.

Duale Festpunktzahl

Diese Zahlendarstellung eignet sich besonders für Anwendungen, bei denen die Größenordnungen der Eingangsdaten, der Zwischenergebnisse und der Endergebnisse überschaubar sind.

Es steht im Belieben des Programmierers, die Lage des Dualpunkts festzusetzen. Für Additionen, Subtraktionen und Vergleiche ist jedoch auf gleiche Dualpunktstellung in den zu vergleichenden Größen zu achten. Gegebenenfalls ist vorher durch Schiften die Stellungsgleichheit herbeizuführen (Ausrichten).

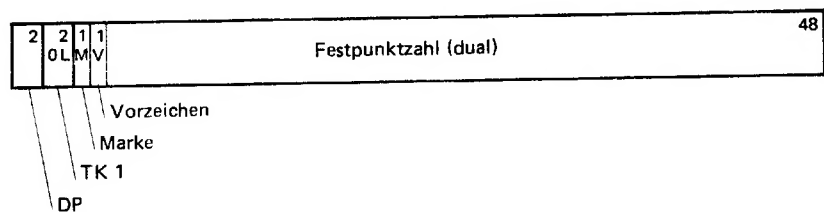


Bild 2c Duale Festpunktzahl

Bei Rechnung mit dualen Festpunktzahlen beträgt die einfache Rechengenauigkeit 13 Dezimalstellen.

- Wird der Dualpunkt (das Komma) linksbündig vor die höchste, erste Dualstelle gesetzt, dann sind Zahlen z im Bereich von

$$-(1 - 2^{-46}) < z < +(1 - 2^{-46}) \quad \text{entsprechend}$$

$$-(1 - 1,421\,086 \cdot 10^{-14}) \leq z \leq +(1 - 1,421\,086 \cdot 10^{-14})$$

darstellbar.

- Wird der Dualpunkt (das Komma) rechtsbündig hinter die letzte (niedrigste) Dualstelle gesetzt, dann sind Zahlen z im Bereich von

$$-(2^{46} - 1) \leq z \leq 2^{46} - 1 \quad \text{entsprechend}$$

$$-70\,368\,744\,177\,663 \leq z \leq +70\,368\,744\,177\,663$$

darstellbar.

Befehlspaar
(Befehle für Rechnerkern)

Ein Maschinenwort nimmt zwei Maschinenbefehle auf. Jeder Befehl hat einen 8 Binärstellen langen Operationsteil (-Code) und einen 16 Binärstellen langen Adreßteil.

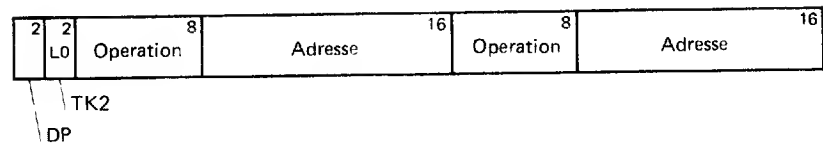


Bild 2d Befehlspaar - Einadressenbefehle

Von den 256 möglichen Operationscodes auf 8 Bits sind ca. 240 fest verdrahtet, die restlichen stehen für softwaremäßig festzulegende Befehle (besonders Makros) zur Verfügung. Da ein Ganzwort also stets aus zwei Befehlen bestehen kann, können mit 1 K, nämlich 1024 Ganzworten 2048 Befehle dargestellt werden.

Mit einem 16-Bit-Adreßteil lassen sich genau 65 536 Befehle adressieren (Halbwortadressierung) oder anders ausgedrückt, durch den 16-Bit-Adreßteil können die Adressen aller 64 K Befehle unterschieden werden, die in 32 K Speicherzellen (für je ein Ganzwort) abgelegt sein können. Dieser so überstreichbare Adressenbereich wird auch "16-Bit-Adressenraum" genannt (entsprechend einer Großseite aus 32 K zusammenhängend gespeicherten Ganzworten).

Damit mehr als 32 K Ganzworte direkt adressiert werden können, arbeitet das Befehlswerk (Adressenregister und Befehlszähler) mit 22-Bit-Adressen, hervorgehend aus nach links verlängerten 16-Bit-Adressen.
(Vgl. Große Befehlsliste: Modifizierbefehle)

Mit einer 22-Bit-Adresse ist eine direkte Adressierung von 2^{22} Halbworten möglich, bei Erweiterung des RD 441 mit einem Massenspeicher können also insgesamt 2048 K Ganzworte direkt adressiert werden.

Aus dem Speicher wird stets ein Befehls-Ganzwort ausgelesen und zunächst der Befehl mit der geraden Adresse (linkes Halbwort) entschlüsselt und ausgeführt, dann der mit der ungeraden Adresse. Bei Sprung auf einen Befehl mit ungerader Adresse wird nach dem Auslesen des Ganzwortes unmittelbar der Befehl mit der ungeraden Adresse entschlüsselt und ausgeführt.

Der Adreßteil eines Befehls kann in eine Links- und in eine Rechtsadresse von je 8 Binärstellen unterteilt werden.

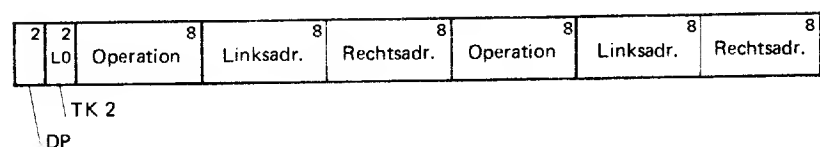


Bild 2e Befehlspaar - Zweiadressenbefehle

Dieses Format wird bei der Adressierung von Index-Zellen zur Angabe von Parametern und Spezifikationen, bei Doppelcodebefehlen usw. verwendet (Es können auch beide Befehlsformate in einem Wort auftreten).

Textwort
(alphanumerisches Wort)

Ein Zentralcodezeichen des RD 441 besteht aus 8 Bits, das ist eine Oktade. Somit können 6 Oktaden in einem Ganzwort untergebracht werden.

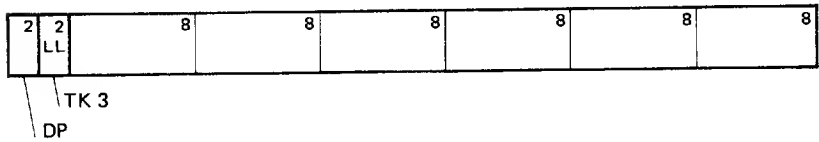


Bild 2f Textwort - 6 Oktaden

Mittels der Befehle BNZ und CNZ sind zusätzlich die folgenden Wortformate interpretierbar:

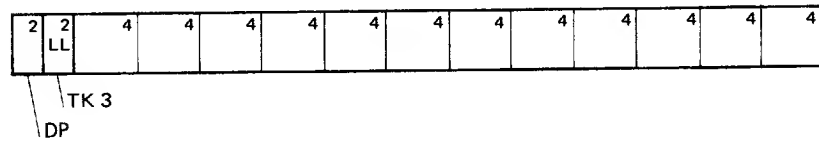


Bild 2g Textwort - 12 Tetraden

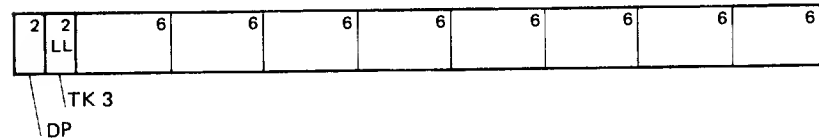


Bild 2h Textwort - 8 Hexaden

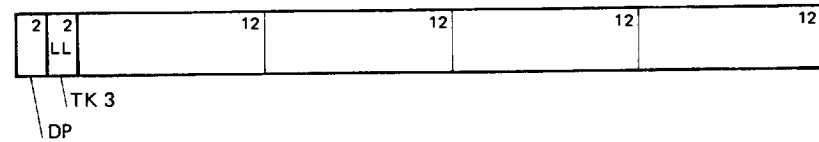


Bild 2i Textwort - 4 Duodekaden

Unter Rechnerkern wird ein Prozessor zum Rechnen (im weitesten Sinne) verstanden, ohne Speicher (abgesehen von Registern) und gesondert vom EA-Werk. Ein Rechnerkern des RD 441 besteht aus Rechenwerk und Befehlswerk einschließlich Mikroprogrammwerk. Es ist möglich, zwei Rechnerkerne einzubauen.

2.1.

Das Rechenwerk

Das Rechenwerk führt die durch einen Befehl geforderten Rechenoperationen durch. Es arbeitet unabhängig vom EA-Werk und vom Speicher sowie bei reinen Rechenoperationen auch unabhängig vom Befehlswerk, so daß während der Ausführung einer nur das Rechenwerk belegenden Operation das Befehlswerk schon den im Programm nächsten Befehl aus dem Speicher abrufen und entschlüsseln kann. Über ein zum Rechenwerk gezähltes Sammelregister (das auch Verteilungsaufgaben hat) stehen Rechenwerke und Befehlswerke mit dem Zentralspeicher in Verbindung. Es puffert die in beiden Richtungen transportierten Operanden und Befehle. Das Rechenwerk enthält folgende Register:

Bezeichnung		Anzahl Binärst.	Name des Registers
	Kurzbez.		
R	A	52	Akkumulator
R	B	52	Akkumulator-Hilfsregister
R	C	52	Rückstellregister für RB
R	Q	52	(Multiplikator-)Quotienten-Register
R	P	52	(Multiplikator-)Quotienten-Hilfsregister
R	U	52	Übertragsregister
R	V	48	Übertrags-Hilfsregister
R	D	52	Multiplikanden-Register
R	H	52	Hilfsregister
R	Y	8	Schifftzähler
R	Z	8	Hilfsregister für RY
R	X	8	Exponentenzähler
R	W	8	Hilfsregister für RX
R	M	1	Markenregister
R	S	52	Sammelregister
R	T	52	Rückstellregister für RS

 = dem Programmierer durch Maschinenbefehle zugänglich.

Die Funktionen der Rechenwerksregister sind im einzelnen:

RA Akkumulator RB Akkumulator Hilfsregister RC Rückstellregister für RB	Im Akkumulator werden die meisten Rechenoperationen ausgeführt. Er enthält vor der Ausführung eines Befehls, der das Rechenwerk beansprucht, einen Operanden, nach Befehlsausführung das Ergebnis. Der Akkumulator kann unter Zuhilfenahme von RB vielfältige Transporte ausführen. Für interne Vorgänge wird von RB das Rückstellregister RC benötigt.
RQ (Multiplikator-) Quotienten-Register RP Hilfsregister	RQ enthält bei Division und Multiplikation das Ergebnis oder einen Teil des Ergebnisses. Zusammen mit dem Akkumulator RA kann RQ zu einem Register doppelter Länge verbunden werden. Das Hilfsregister RP ist für interne Abläufe erforderlich.
RU Übertragungsregister RV Übertragungs-Hilfsregister	Das Register RU nimmt Überträge für Operationen im RA, RB und RD auf. Das Übertragungs-Hilfsregister RV ist für numerische Rechenvorgänge erforderlich.
RD Multiplikandenregister	RD nimmt in der Regel den zweiten Operanden nach der Ausführung einer Rechenwerksoperation auf.
RH Hilfsregister	Das Register RH dient als zugriffszeitfreie Speicherzelle. Es nimmt Vergleichsgrößen für Vergleiche mit dem Inhalt des Akkumulators auf und ermöglicht das Aufsummieren der Ergebnisse mehrerer Multiplikationsoperationen (akkumulierende Multiplikation).
RY Schifftzähler RZ Hilfsregister	Der Schifftzähler RY tritt in Aktion bei den eigentlichen Schifftbefehlen, bei Gleitkommaoperationen, beim Normalisierbefehl und beim Umschlüsselbefehl. Das Hilfsregister RZ ist für interne Vorgänge erforderlich.
RX Exponentenzähler RW Hilfsregister	Im Exponentenregister RX wird bei Gleitpunktoperationen die Errechnung des Exponenten zur Basis 16 durchgeführt. Das Hilfsregister RW wird dabei zusätzlich benötigt.
RM Markenregister	Bei der Übernahme eines markierten Zahlwortes aus dem Speicher in ein Register wird das Markenbit abgespalten und in das Markenregister übertragen. Das Markenbit des Zahlwortes wird im Register als Überlauffangstelle benutzt und deshalb beim Einspeichern nach der Abspaltung gleich dem Vorzeichenbit gesetzt.
RS Sammelregister RT Rückstellregister für RS	Jeder Transport aus oder in den Kernspeicher erfolgt über das Sammelregister RS. Der Operand eines Rechenwerksbefehls wird bereits während der Entschlüsselung des Befehls im Befehlswerk im Sammelregister RS bereitgestellt. Das Rückstellregister wird zusätzlich benötigt. RS ist sowohl vom Rechenwerk als auch vom Befehlswerk aus zugänglich.

2.2.
Das Befehlswerk

Das Befehlswerk (Leitwerk) arbeitet mit dem ihm zugeordneten Mikroprogrammwerk unabhängig von den übrigen Werken (Rechenwerk, Zentralspeicher, Vorrangwerk, EA-Werk). Innerhalb des Befehlswerks wird mit relativen (unvollständigen) Adressen gearbeitet. Erst bei einer Speicheransteuerung werden diese relativen Adressen über die Seitenadressregister durch absolute (vollständige) Adressen ersetzt, wenn nicht Systemmodus (siehe 5.1) eingeschaltet ist oder ein Sprung im oder in den Spezialmodus erfolgt. Transporte in das Befehlswerk gehen über das Sammelregister RS.

Das Befehlswerk des RD 441 enthält folgende Register:

Bezeichnung		Anzahl Binärst.	Name des Registers
	Kurzbez.		
B	A	24	Adressenregister
B	Z	24	Zusatzadressenregister
B	C	8	Coderegister
B	D	8	Zusatzcoderegister
B	B	24	Bereitadressenregister
B	H	24	Adressenhilfsregister für BB
B	J	24	Rückstellregister für BH
B	F	24	Befehlsfolgeregister (Befehlszähler)
B	L	16	Leitadressenregister
B	LZ1	5	Leitadressenzusatz- register 1
B	LZ2	5	Leitadressenzusatz- register 2
B	P1	24	Seitenassoziativregister 1
B	P2	24	Seitenassoziativregister 2
B	P3	24	Seitenassoziativregister 3
B	P4	24	Seitenassoziativregister 4
B	XB	22	Indexbasisregister
B	XBZ	11	Indexbasiszusatzregister
B	I1	34	Indexassoziativregister 1
B	I2	34	Indexassoziativregister 2
B	I3	34	Indexassoziativregister 3
B	I4	34	Indexassoziativregister 4
B	K _{links}	8	Merklichterregister (linke Hälfte vom BK)
B	K _{rechts}	8	Wahlschalterregister (rechte Hälfte vom BK)
B	U	8	Unterprogrammregister (Unterprogrammordnungszähler)
B	V	8	Hilfsregister für BU
B	W	16	Wecker
B	G	24	Uhr

Bezeichnung	Anzahl		Name des Registers
	Kurzbez.	Binärst.	
B	TZ1	6	Schleifenzähler
B	TZ2	6	Taktzähler
B	T	24	Testregister (Prüfregister)
B	TV	12	Vergleichsregister

= dem Programmierer durch Maschinenbefehle zugänglich

Die Funktionen der Befehlswerksregister sind:

BA Adressenregister
BC Coderegister
BZ Zusatzadressenregister
BD Zusatzcoderegister

Beim Auslesen von Befehlen aus dem Kernspeicher wird, wie in allen anderen Fällen auch, auf ein Ganzwort (gerade Adresse) zugegriffen. Ein Ganzwort mit Typenkennung 2 besteht aus 2 Befehlen, von denen derjenige aus dem Halbwort mit gerader Adresse (linkes Halbwort) in BC und BA, der andere in BD und BZ übernommen wird. Die Adressen werden dabei durch die Modifiziergrößen Mod1 und Mod2 auf 24-Bit-Adressen verlängert. Für die Vorbesetzung der Modifiziergrößen existieren entsprechende Befehls im Repertoire des TR 440. Zur Ausführung des Befehls aus dem rechten Halbwort (ungerade Adresse) werden die Inhalte von BC und BA durch die von BD und BZ überschrieben.

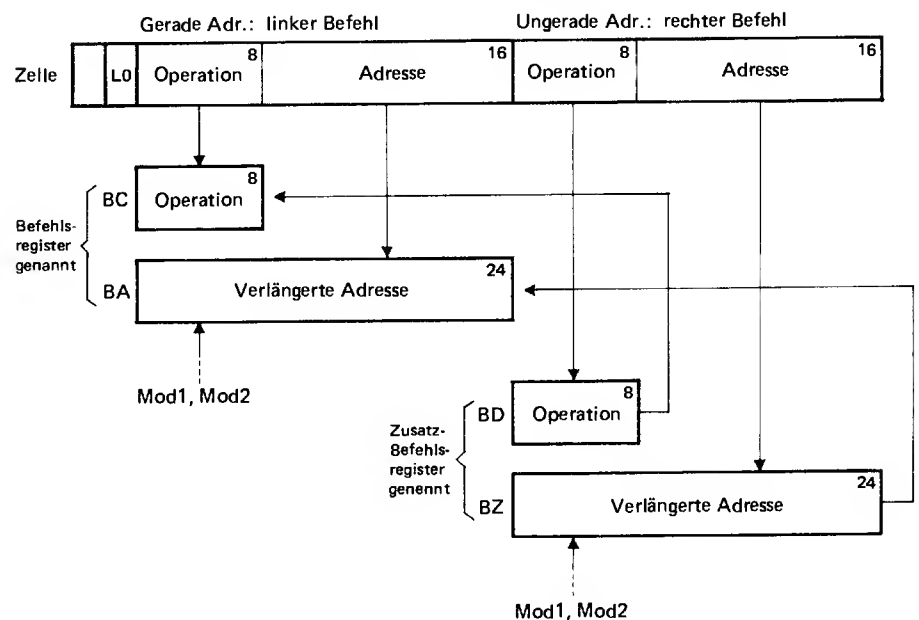


Bild 4 Rechter Befehl in das Befehlsregister

Befehlswerk-Register:

- BA Adressenregister
- BZ Zusatzadressenregister
- BC Coderegister
- BD Zusatzcoderegister
- BB Bereitadressenregister
- BH Adressenhilfsregister
- BF Befehlszähler
- BL Leitadressenregister
- BLZ1 Leitadressenzusatzreg.1
- BLZ2 Leitadressenzusatzreg.2
- BXB Indexbasisregister
- BXBZ Indexbasiszusatzregister
- B1...B14 Indexassoziativregister
- BK Merklicherregister
- BU Unterprogrammregister
- BV Unterprogrammhilfsreg.
- BW Wecker
- BG Uhr
- BTZ1 Schleifenzähler
- BTZ2 Taktzähler

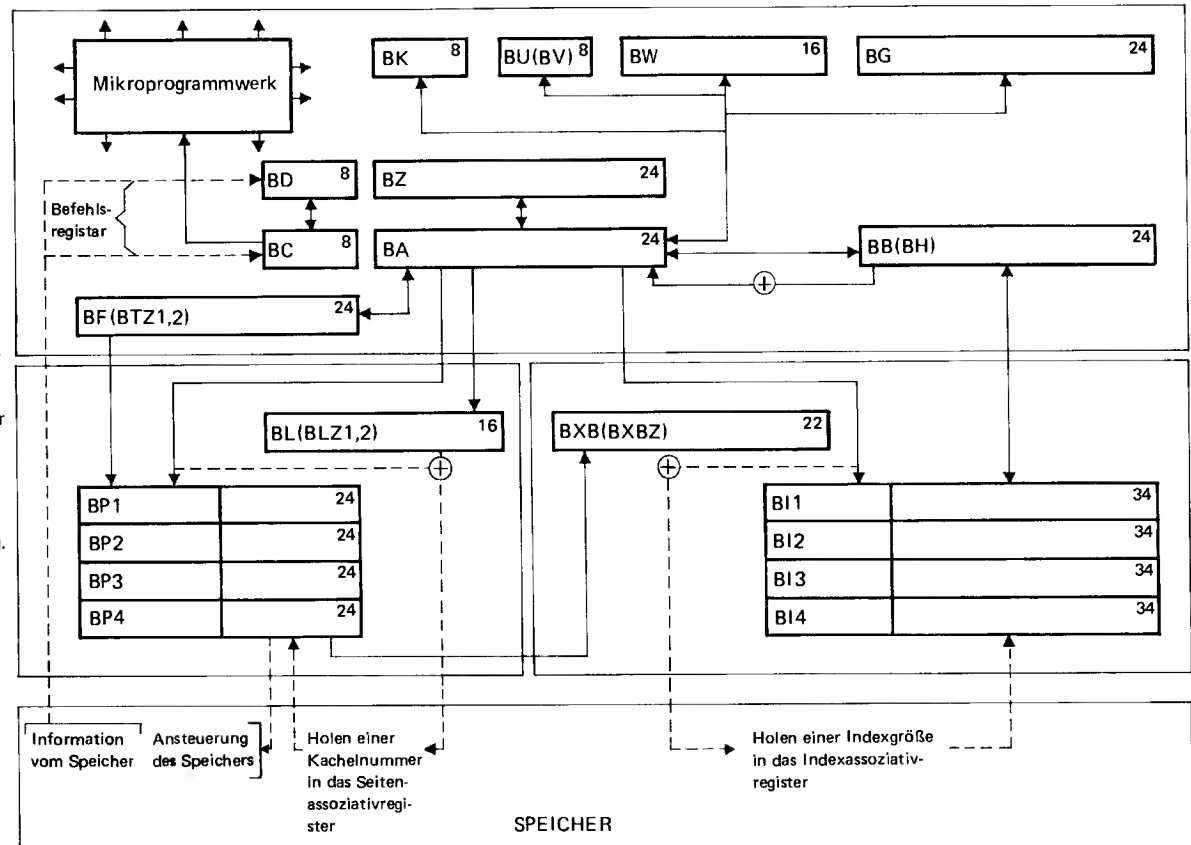


Bild 5 Blocksaltbild des Befehlswerks

BB Bereitadressen-
register
BH Adressenhilfs-
register

Das Bereitadressenregister hat 24 Binärstellen, davon eine Vorzeichenstelle. Es nimmt z. B. die Indexgröße auf, mit denen im Adressenregister BA Adreßrechnungen ausgeführt werden. Für die Adressenrechnung können alle 24 Stellen einschließlich der Vorzeichenstelle in Anspruch genommen werden. Der Einerrücklauf erfolgt im 24-Bit-Modus von der ersten zur 24sten Stelle, im 16-Bit-Modus (TR 4-Modus) von der 9ten zur 24sten Stelle. Zur Speicheransteuerung werden lediglich die letzten 22 Binärstellen genommen. Das Adressenhilfsregister BH dient dem internen Ablauf.

BF Befehlsfolge-
register

Das Befehlsfolgeregister hat 24 Binärstellen und enthält nach Ablauf der Abrufphase eines Befehls die Adresse des nächsten abzuhandelnden Befehls. Beim Durchlaufen der ersten Abrufphase eines Befehls wird das Befehlsfolgeregister um 1 erhöht, auch bei Sprungbefehlen. Nach Ausführung des Befehls mit der ungeraden Adresse wird das nächste Befehlsganzwort in die Register BC, BA, BD und BZ übernommen.

Um innerhalb einer Großseite ohne Modifizierung des Befehls springen zu können, werden nur die rechten 16 Bits des Befehlsfolgeregisters verändert, die vorderen Binärstellen des Befehlsfolgeregisters adressieren die Großseite und bleiben erhalten. Nur durch die Befehle SE, SUE und VMO bei entsprechender Spezifikation sowie bei MABI und MU, wenn der Zweitcode ein Sprungbefehl ist, werden auch die linken 8 Binärstellen aus dem Adressenregister in das Befehlsfolgeregister übernommen, was Sprünge in andere Großseiten ermöglicht.

Da ein zusammenhängendes Programm ohne zugehörige Daten nur selten den Adressenraum eine Großseite (32 K) überschreiten wird, werden in der Regel auch nur die rechten 16 Binärstellen des Befehlsfolgeregisters verändert.

Nach der Ausführungsphase eines Sprungbefehls enthält das Befehlsfolgeregister die Zieladresse, bei der fortgefahren werden soll. Bei Sprung in ein Unterprogramm mit dem Befehl SU wird die Adresse des dem Sprungbefehl folgenden Befehls, die Rückkehradresse in einer Indexzelle festgehalten, beim Befehl SFB im Bereitadressenregister. Ein Sprung auf ein Wort mit $TK \neq 2$ wird nicht ausgeführt, das Befehlsfolgeregister wird nicht verändert und es wird Befehlsalarm ausgelöst.

BL Leitadressen-
register
BLZ1 Leitadressen-
zusatzregister 1
BLZ2 Leitadressen-
zusatzregister 2

Das für 16 Binärstellen ausgelegte Leitadressenregister dient mit den beiden ihm zugeordneten Leitadressenzusatzregistern von je 5 Binärstellen Länge der Adressierung der Zellen des Leitblocks und der Speicheransteuerung im Normal-, Abwickler- und Spezialmodus (siehe 2.3). Die Funktion dieser Register ist in Abschnitt 6 ausführlich erklärt.

BP1, BP2, BP3, BP4
Seitenassoziativregister

Die vier Seitenassoziativregister sind je 24 Binärstellen lang. Sie enthalten in den Stellen 3 bis 13 die linken 11 Bit relativer Seitenadressen (Seitennummern N_V) eines nicht im Seitenmodus arbeitenden Programms, in den Stellen 14 bis 24 die linken 11 Bits der Adresse der Kachel (Kachelnummer N'_V), die der Seite mit der links

stehenden Adresse zugewiesen ist. Die erste Stelle im Register zeigt an, ob der Inhalt der Zelle gültig ist (Gültigkeitsbit), die zweite zeigt an, ob die Information in der Kachel schreibgeschützt ist (Schreibschutzbit).

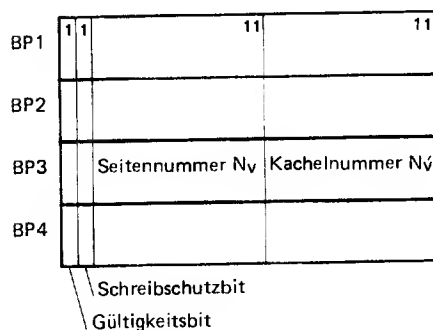


Bild 6 Die Seitenassoziativregister

Beim Übertragen der Kachelnummer aus einem Viertelwort der Kacheltabelle im Leitblock wird das Schreibschutzbit mit übernommen. Bei Neueinstellung der Bereichsgrenzen Δ_1 und Δ_2 und bei Neueinstellen der Leitadresse werden die Gültigkeitsbits gelöscht.

Der Komplex aus vier Assoziativregistern für Seitenadressen (ebenso auch für Indexadressen), auch "Zuordner" genannt, ist mit einem Alterungsmechanismus ausgestattet, der aus sechs untereinander verbundenen Flipflops gebildet ist. Er kennzeichnet die Register jeweils nach der zeitlichen Reihenfolge der Benutzung ihrer Inhalte. Das zuletzt benutzte Register (eigentlich dessen Inhalt) gilt dabei als das jüngste, das am längsten nicht angesprochene als das älteste. (Vgl. "TR 440 - Zentraler Rechner RD 441 - Einführung": Bild 14 und Beschreibung). Assoziativregister werden nicht über eine Adresse aufgerufen, sondern mit einem Teil ihres Inhalts, dem Kenninhalt. Bei Übereinstimmung in einem der Register wird der entsprechende Nutzinhalt, in diesem Fall die Kachelnummer N'_v , zur Verfügung gestellt (siehe Abschnitt

BI1, BI2, BI3, BI4 Indexassoziativregister

Die vier Assoziativregister mit je 34 Binärstellen bilden einen primären Indexspeicher, der gleichfalls ein Zuordner wie der vorstehend beschriebene ist. In den Binärstellen 3 bis 10 steht jeweils eine von 256 Indexadressen und in den folgenden 24 Stellen der Inhalt dieser Indexzellen, die Indexgröße. Die erste Stelle in den Registern zeigt an, ob der Inhalt des Indexregisters gültig ist (Gültigkeitsbit). Die zweite Stelle enthält das Rückspeicherungsbit. Es wird gesetzt, wenn die Indexgröße verändert wird und zeigt damit an, daß beim Aufgeben dieses Indexregisters oder vor Überschreiben die Indexgröße in die zugehörige Speicherzelle zurückzuspeichern ist.

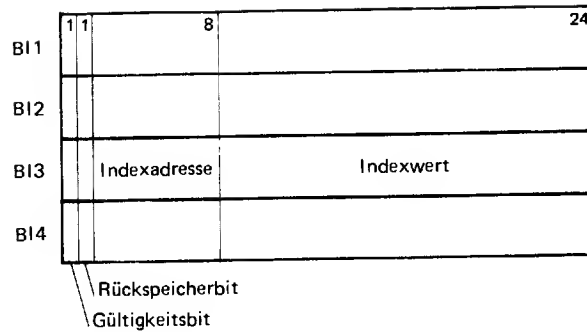


Bild 7 Die Indexassoziativregister

Das Arbeiten mit den Indexassoziativregistern und das Zusammenspiel mit dem Indexbasisregister ist in 6.8 beschrieben.

BXB Indexbasisregister
BxBZ Indexbasiszusatzregister

Durch die Befehle BCI n (n = Ganzwortadresse) und ZI m (m = Halbwortadresse) wird an beliebiger Stelle im Hauptspeicher ein Indexzellenbereich von 256 Halbworten deklariert. Die absolute Anfangsadresse dieses Indexzellenbereichs, die Indexbasisadresse, wird im Indexbasisregister (BxB), das 22 Binärstellen hat, festgehalten. Die 256 Indexzellen (Halbwortzellen) werden relativ zur Indexbasisadresse gezählt.

Bei Überschreiten einer Kachelgrenze durch den Indexzellenbereich wird die Adresse der Kachel, die die Fortsetzung des Indexzellenbereichs enthält, im Indexbasiszusatzregister festgehalten.

BK Merklichter- und Wahlschalterregister

Das 8 Binärstellen umfassende Merklichterregister dient der Aufnahme von Steuerzeichen (Merklichtern), die während eines Programmlaufs erzeugt und für spätere Abfragen aufbewahrt werden. Das Wahlschalterregister umfaßt ebenfalls 8 Binärstellen und wird bei Wartungs- und Testläufen sowie im TR 4-Modus verwendet. Am Bedienpult kann das Wahlschalterregister manuell eingestellt werden.

BU Unterprogrammregister
BV Hilfsregister

Das Unterprogrammregister BU nimmt bei einem Sprung mit dem Befehl SU in ein Unterprogramm die Nummer (Adresse relativ zur Indexbasisadresse) derjenigen Indexzelle auf, in die die Rücksprungadresse abgelegt wird.

Für rechnerinterne Vorgänge ist BU ein Hilfsregister BV zugeordnet.

BG Uhrregister

Das Uhrregister ist ein 24-stelliges Zählregister für die Zählung relativer Zeitabschnitte. Es zählt aufwärts in Zählseinheiten von $10_{\mu s}$ und überzählt folglich alle $2^{24} \cdot 10^{-5} s$, also alle 2,7962 min.

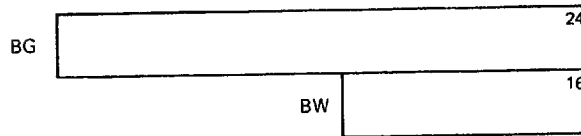


Bild 8 Uhrregister und Weckerregister

BW Weckerregister

Das 16 Binärstellen umfassende Weckerregister gestattet die Voreinstellung eines bestimmten Zeitpunkts, zu dem ein Weckeralarm gemeldet werden soll. Der Alarm tritt ein, wenn die rechten 16 Stellen des Uhrregisters mit dem Inhalt des Weckerregisters übereinstimmen. Der Weckeralarm tritt mindestens alle 0,65536 s auf.

BTZ1 Schleifenzähler BTZ2 Taktzähler

Diese beiden je 6 Binärstellen umfassenden Register sind dem Befehlsfolgeregister zugeordnet und übernehmen Aufgaben bei Prüf- und Wartungsläufen.

BT Prüfreister BTV Vergleichs- register

Das Prüfreister und das Vergleichsregister dienen zur Durchführung von Prüf- und Wartungsläufen im Wartungsmodus. Befehlsfolgeregister BF, Schleifenzähler BTZ1 und Taktzähler BTZ2 können mit dem Inhalt dieser beiden Register verglichen werden.

2. 3. Die Adressierungs- modi und die Adreß- rechnungsmodi

Der RD 441 arbeitet in verschiedenen Adressierungsmodi und ermöglicht so eine Programmierung auf entsprechend vielen Stufen. Die Umschaltung von einem Modus in einen anderen erfolgt durch Eingriffe und Alarmer, sowie durch bestimmte Befehle.

Es gibt die folgenden Adressierungsmodi:

- Systemmodus
- Spezialmodus
- Normalmodus
- Abwicklermodus

Systemmodus

Im Systemmodus, auch als absoluter Adressierungsmodus bezeichnet, werden die Kernspeicherzellen durch absolute 22-Bit-Adressen angesteuert. Damit sind 4096 K Halbzellen, also ein Speicher von 2048 K Zellen adressierbar. Alle den Speicher ansprechenden Befehle besitzen absolute Adressen, das Befehlsfolgeregister schaltet in absoluten Adressen fort. Bei Unterbrechung im Systemmodus werden einige Befehlswerksregister und die Steuerflipflops in der Speicherkachel 0 abgelegt.

Spezialmodus	<p>Im Spezialmodus, der auch als spezieller Adressierungsmodus bezeichnet wird, adressieren alle den Speicher ansprechenden Befehle relativ zu einer Anfangsadresse, die im BL enthalten ist. Die Seitennummer wird über einen Leitblock, in dem die zugeordnete Kachelnummer (zum Begriff Kachel siehe 3.4) enthalten ist, ersetzt. Das Befehlsregister schaltet jedoch in absoluten Adressen fort. Bei Unterbrechung im Spezialmodus werden einige Befehlswerks-Register und die Steuerflipflops hardwareseitig im zugehörigen Leitblock abgespeichert. Der Spezialmodus wird durch bestimmte Zustände zweier Flipflops dargestellt.</p>
Normalmodus	<p>Der Normalmodus wird auch als relativer Adressierungsmodus bezeichnet. Alle den Speicher ansprechenden Befehle und die Sprungsbefehle adressieren relativ zu einer Adresse 0, die in BL enthalten ist. Das Befehlsfolgeregister schaltet in relativen Adressen fort. Die Seitennummern werden über die so genannte Kachelnummer im Leitblock mit einer Kachelnummer ersetzt. Im Normalmodus wird nur ein bestimmter Adressenbereich aus dem 22-Bit-Adressenraum überstrichen. Die Kachelnummern, die zu diesem Bereich gehören, sind in einer Kacheltabelle, deren Beginn relativ zum Leitblock-Anfang durch eine Größe Δ_1, und deren Länge durch eine Größe Δ_2 gegeben ist, enthalten. Die Werte Δ_1 und Δ_2 sind im entsprechenden Leitblock in der Halbzelle mit der relativen Adresse 64 enthalten. Bei Unterbrechungen werden einige Befehlswerks-Register im Leitblock hardwareseitig abgelegt.</p>
Abwicklermodus	<p>Der Abwicklermodus ist ein im zulässigen Adressenbereich erweiterter relativer Adressierungsmodus. Er unterscheidet sich vom Normalmodus durch andere Grenzübergaben Δ_1^A und Δ_2^A, die im Leitblock in der Halbzelle mit der relativen Adresse 65 stehen.</p>
Adreßrechnungsmodi	<p>Unabhängig vom eingestellten Adressierungsmodus können Adreßrechnungen in zwei verschiedenen Adreßrechnungsmodi ausgeführt werden. Im Modus 16 (TR 4-Modus) läuft die Adreßrechnung über die rechten 16 Bit der Register, der Einerrücklauf erfolgt von der 9ten zur 24sten Stelle. Die vorderen 8 Bits werden gelöscht. Im Modus 24 (TR 440-Modus) erfaßt die Adreßrechnung alle 24 Bits der Register, der Einerrücklauf erfolgt von der ersten zur 24sten Stelle.</p> <p>Alle Befehle, die Adreßrechnungen bewirken, arbeiten nach Modus 16 anders als nach Modus 24. Die Interpretation des Interncodes der Befehle ist bei einer Reihe von Befehlen vom Adreßrechnungsmodus abhängig.</p>
Wartungsmodus	<p>Für Prüf- und Wartungsläufe existiert ein eigener Modus. Im Wartungsmodus sind einige der nicht mit TAS-Befehlen belegten Befehlscodes zulässig. Einige der in den anderen Modi nicht adressierbaren Register können im Wartungsmodus angesprochen werden. Der Wartungsmodus wird durch ein mit dem Befehl VPU einstellbares Steuerbit eingeschaltet (siehe "TR 440 - Befehlslexikon").</p>

3.1. Der Zentralspeicher

Der Zentralspeicher ist größtenteils Hauptspeicher (wortweise adressierbar). Lediglich 256 K Zellen des Massenkernspeichers (von max. 2056 K), deren Adressenraum sich mit dem des schnellen Kernspeichers überlappt, kann Ergänzungsspeicher sein (wirkt wortweise adressierbar).

Der Hauptspeicher ist in mehreren Ausbaustufen lieferbar:

Grundausbau:	16 K	Zellen für je ein Ganzwort
Ausbaustufe 1:	32 K	Zellen für je ein Ganzwort
Ausbaustufe 2:	64 K	Zellen für je ein Ganzwort
Ausbaustufe 3:	128 K	Zellen für je ein Ganzwort
Ausbaustufe 4:	256 K	Zellen für je ein Ganzwort

Mittels eines Massenkernspeichers ist ein weiterer Ausbau des Hauptspeichers bis zu maximal 2048 K direkt adressierbaren Speicherzellen möglich.

3.2. Speicherkacheln und Adressenverschränkung

Der Zentralspeicher ist modular aufgebaut; jeder Speichermodul nimmt 16 K Ganzworte auf; d. h. je nach Speicherausbau sind 1, 2, 4, 8 oder 16 bzw. bei Anschluß des Massenkernspeichers entsprechend mehr Speichermoduln vorhanden. Ein besonderes Charakteristikum des Speichers liegt in der Adressenverschränkung, d. h. 2, 4, 8 oder 16 bzw. mehr (je nach Ausbaustufe) adressenmäßig aufeinanderfolgende Speicherzellen liegen in verschiedenen Moduln. 1024 konsekutiv adressierbare Speicherzellen bilden eine Speicherkachel (kurz: Kachel). Die Ganzworte 0...1023 gehören demzufolge zu Speicherkachel 0, die Ganzworte 1024...2047 zu Speicherkachel 1 usw. Jede Speicherkachel hat infolge der Adressenverschränkung teil an allen Moduln. Die Zuordnung zwischen Speicherzellenadressen und Speichermoduln erfolgt über eine je nach Ausbaustufe verschiedenen große Zahl der in der Wertigkeit niedrigsten Adreßbits.

Jeder Speichermodul besitzt eine eigene Funktionssteuerung. Ist sie durch einen Zugriff auf eine Zelle innerhalb dieses Moduls belegt, so ist bis zum Ablauf der Zykluszeit von $0,9 \mu\text{s}$ kein weiterer Zugriff auf diesen Modul möglich, wohl aber auf eine Zelle aus einem anderen freien Speichermodul. Rechnerkerne (maximal zwei) und EA-Kanalwerke können damit so lange parallel arbeiten, wie sie auf verschiedene Moduln zugreifen. Die effektive Zykluszeit ist deshalb abhängig vom Ausbau des Hauptspeichers und kann nur statistisch angegeben werden. Sie kann bei 16 Speichermoduln zeitweise $0,125 \mu\text{s}$ betragen, liegt jedoch im Mittel geringfügig höher. (Näheres in "TR 440 - Zentraler Rechner RD 441 - Einführung").

Unter Zykluszeit eines Speichers (Moduls) wird die maximale Zeit, nach der im günstigsten Fall eine Speicherzelle wieder aufgerufen werden kann, verstanden. Demgegenüber ist die Zugriffszeit die jeweilige Zeit, die zwischen Aufruf des Speichers und Verfügbarkeit der Information im Register vergeht.

3.3. Erläuterungen

Für das folgende werden Programme, die im Normal- oder Abwicklermodus arbeiten, willkürlich Prozesse* genannt. Jeder Prozeß besitzt einen Leitblock, der nicht seinem Adressenraum angehört und der stets auf einer Achtelkacheladresse beginnt. Die Kacheladresse der ersten Zelle des Leitblocks ist die Leitadresse.

Der Leitblock wird durch Bereichsangaben Δ_1 und Δ_2 unterteilt. Die Bereichsangaben bestimmen den erreichbaren Adressenraum im Normal- bzw. Abwicklermodus. Die Bereichsangaben können vom Betriebssystem verändert werden. Für Normal- und Abwicklermodus gelten in der Regel verschiedene Bereichsangaben.

Programme, die im System- oder Spezialmodus arbeiten, werden im folgenden willkürlich "Betriebssystem" genannt, wobei sich auch dieser Begriff nicht mit dem Begriff des Betriebssystems innerhalb der TR 440-Software deckt. Im Systemmodus ist der gesamte Adressenraum ohne jede Einschränkung adressierbar.

Der Programmierer arbeitet normalerweise mit relativen Adressen und Seitennummern. Es ist notwendig, zwischen diesen programmrelativen Begriffen einerseits und den (absoluten) Speicheradressen und Kacheln andererseits zu unterscheiden. Die Bits 3 bis 13 der Seitenadresse werden als Seitennummer, die Bits 3 bis 13 der Kacheladresse als Kachelnummer bezeichnet (siehe 3.4).

Aus dem Kernspeicher werden stets Ganzworte ausgelesen, die zunächst in das Sammelregister RS übertragen werden. Aus RS können je nach der Wirkung des Befehls jedoch auch Teile eines Ganzworts geholt werden, so daß auch von Halbwort, Viertelwort und Byte- oder Silben-Adressierung gesprochen werden kann.

3.4. Seiten und Kacheln

Je 2048 adressenmäßig aufeinanderfolgende Halbworte, entsprechend 1024 konsekutiv adressierten Ganzworten, bilden eine Seite. Die Halbworte mit den Adressen 0 bis 2047 bilden die erste Seite (0), die mit den Halbwortadressen 2048 bis 4095 die zweite Seite (1) usw. Je 32 hintereinanderliegende Seiten bilden eine Großseite, d. h. in Großseite 0 liegen die Seiten 0 bis 31 mit den Halbwortadressen 0 bis 65 535, in Großseite 1 die Seiten 32 bis 63 usw.

Einer Seite eines Prozesses wird genau eine Kachel im Speicher zugewiesen. Im allgemeinen werden jedoch aufeinanderfolgenden Seiten nicht auch aufeinanderfolgende Kacheln zugewiesen. Das ist unabhängig von der Belegungssituation im Rechner.

Die Kachel 0 ist teilweise reserviert für hardwaremäßige Abspeicherungen bei Unterbrechungen durch Eingriffe, Alarmer, SSR- und Makrosprünge für die zwei möglichen Rechnerkerne. Die Kachel 1 ist reserviert für Information, die der Steuerung des EA-Verkehrs dient, so daß eine freie Kachel Zuweisung erst ab Kachel 2 möglich ist.

* Der hier gewählte Begriff Prozeß deckt sich dabei nicht mit dem gleichbenannten Begriff in der Software des TR 440.

Einer Seite eines Prozess wird genau eine Kachel im Speicher zugewiesen. Im allgemeinen werden jedoch aufeinanderfolgenden Seiten nicht auch aufeinanderfolgende Kacheln zugewiesen. Das ist unabhängig von der Belegungssituation im Rechner.

Die Kachel 0 ist teilweise reserviert für hardwaremäßige Abspeicherung bei Unterbrechungen durch Eingriffe, Alarme, SSR- und Makrosprünge für die zwei möglichen Rechnerkerne. Die Kachel 1 ist reserviert für Information, die der Steuerung des EA-Verkehrs dient, so daß eine freie Kachel Zuweisung erst ab Kachel 2 möglich ist.

Durch einen Zuordnungsvorgang, der unter Zuhilfenahme der sogenannten Kacheltabelle im Leitblock durchgeführt wird, werden den programmrelativen Seitennummern absolute Kachelnummern zugewiesen.

3. 5. Hardwareseitige Be- legung der Speicher- kachel 0

Bei einer Unterbrechung durch Eingriffe, Alarme, SSR-Sprünge oder Sprünge in einem Makro wird der Inhalt eines Teils der Befehlswerksregister und eine Reihe von Bits, die den Zustand bestimmter Steuerflipflops kennzeichnen, hardwaremäßig abgespeichert. Abhängig vom eingestellten Adressierungsmodus erfolgt die Abspeicherung in die Speicherkachel 0 oder in einen Prozeß-Leitblock (siehe 3. 6. 1). Im grundsätzlichen Aufbau stimmt die Belegung der ersten 24 Ganzwortzellen der Speicherkachel 0 mit der der ersten 24 Ganzwortzellen eines Prozeßleitblocks überein.

Bei einem Eingriff wird zusätzlich das Eingriffswort (siehe 8. 1. 3) in die Speicherkachel 0 abgelegt. Die Sprungadressen für die Weiterbehandlung der verschiedenen Fälle und die einzustellende Indexbasadresse sind im Leitblock in Kachel 0 vorgegeben. Bei einer Untersuchung durch Eingriffe, Alarme, SSR-Sprünge oder Makros wird hardwaremäßig über die entsprechenden Halbwortzellen 2, 3, 5, 6 oder 7 verzweigt (siehe Bild 9).

Die unbenannten Plätze in Kachel 0 werden hardwareseitig nicht belegt. Die Halbzellen 2 bis 7, 64 und 65 sowie bei einem zweiten Rechnerkern die entsprechenden Halbzellen in der zweiten Viertelkachel müssen vorbesetzt werden.

Die Bedeutung der Steuerbits ist folgende:

Bei Unterbrechung durch Eingriff, Alarm, SSR- oder Makrosprung werden neben einigen Befehlswerksregistern auch die Zustände einer Reihe von Flipflops in Steuerbits abgespeichert. Diese Steuerbits werden im rechten Halbwort des dritten Ganzworts in der jeweiligen Viererwortgruppe abgelegt.

Die angeführte Bedeutung der Steuerbits ist deren Hauptbedeutung. Infolge mehrfacher Ausnutzung der Steuerbits durch die Mikroprogramme ergibt sich in manchen Fällen eine abweichende Bedeutung (siehe S. 22).

Rechnerkern 0

Halbzelle	Eingriffswort		Bemerkungen
0	Eingriffswort		
2	Sprungziel b. Alarm ohne Al. sp. 1	Sprungziel b. Alarm, wenn Al. sp. 1 gesetzt ist	
4	Indexbasis- adresse	Sprungziel bei Eingriff	
6	Sprungziel bei SSR	Sprungziel bei Makro	
8	-	-	
10	BB	BA	Abspeicherung bei
12	BF	Steuerbits	SSR-Sprung
14	-	-	
16	-	-	
18	BB	BA	Abspeicherung bei
20	BF	Steuerbits	Sprung auf einen
22	-	-	Makro
24	RS		
26	BB	BA	Abspeicherung bei
28	BF	Steuerbits	Eingriff, wenn System-
30	Code	Steuerbits	BH
32	RS		modus eingestellt
34	BB	BA	Abspeicherung bei
36	BF	Steuerbits	1ten Alarm im System-
38	Code	Steuerbits	BH
40	RS		modus
42	BB	BA	Abspeicherung bei
44	BF	Steuerbits	2ten Alarm im System-
46	Code	Steuerbits	BH
48			modus
50			
52			
54			
56			
58			
60			
62	3	7 8 12	27 31 31 36
64	BLZ2	BLZ1	BLZ2 BLZ1
.	wenn Abwickler-	wenn Abwickler-	
.	Flip-Flop nicht	Flip-Flop gesetzt	
.	gesetzt	(Abwicklermodus)	
.	(Normalmodus)		
512	für Rechnerkern 1,	wie für Rechnerkern 0	
.			
.			
1023			

Bild 9 Einteilung von Speicherkachel 0

Bit	Bedeutung
48	Systemmodus
47	Normalmodus
46	Abwicklermodus
45	Dreierproben-Alarm
44	Wecker-Alarm
43	Eingriffssperre
42	Stop-Alarm
41	Befehls-Alarm
40	BV-Register-Alarm
39	Speicherschutz-Alarm
38	Arithmetischer Alarm
37	Typenkennungs-Alarm

48+47 Spezialmodus

36	Stop nach Abrufphase (siehe 8.3)
35	Wartungsmodus
34	Modus 16 (TR 4-Modus)
33	Stop vor Abrufphase (siehe 8.3)

Die Bits 32 bis 25 enthalten im wesentlichen Aussagen über die Art der unmittelbar vorangegangenen Befehle, z.B. Modifizierbefehle

Bei Unterbrechung durch Eingriff oder Alarm stehen im linken Halbwort des 4ten Ganzworts der jeweiligen Viererwortgruppe folgende Steuerbits:

Bit	Bedeutung
24	Technischer Fehler
23	Rechneralarm von Rechnerkern 0
22	Rechneralarm von Rechnerkern 1
19	Hauptalarm (Stromausfall bzw. -Abschaltung)

Die Bits 18 bis 9 sind Zustandsbits, deren detaillierte Erläuterung im Rahmen dieser Schrift zu weit führte. Die Bits 1 bis 8 enthalten den Befehlscode des unterbrochenden Befehls.

3.6. Die Speicherzuteilung

Beim Laden eines Prozesses oder von Teilen des Prozesses muß im Kernspeicher des RD 441 ein entsprechender Speicherraum zugewiesen werden. Dabei werden die einzelnen Seiten des Prozesses,

die Befehle, Konstanten usw. enthalten, in Kacheln (Gefäßen für Seiten des Kernspeichers abgelegt. Die zugewiesenen Kacheln, die durch ihre Kachelnummer bestimmt sind, können beliebig über den Kernspeicher verstreut liegen. So kann z.B. der Seite 5 eines Prozesses die Kachel 99, der Seite 8 die Kachel 112 zugewiesen worden sein.

Diese Seiten-Kachel-Zuordnung wird in einer Tabelle festgehalten, welche für jeden Prozess vom Betriebssystem angelegt wird. Die Seiten-Kachel-Tabelle ist Bestandteil des sogenannten Prozeßleitblocks, der maximal einen Speicherraum von 1024 Ganzwortzellen einnimmt. Der Prozeßleitblock umfaßt neben der Seiten-Kachel-Tabelle eine Anzahl Angaben in dafür reservierten Hilfszellen.

Der Prozeßleitblock beginnt immer auf einer Achtelkachel. Die Adresse des ersten Halbworts der betreffenden Achtelkachel wird Leitadresse genannt. Die 8 Bits niedrigster Wertigkeit der Adresse dieses Halbworts sind immer gleich 0, so daß zur eindeutigen Beschreibung der Leitadresse die 16 höchstwertigen Bits ausreichen. Ist einem Prozeß vom Betriebssystem die Regie übertragen worden, so ist für diese Zeit die betreffende Leitadresse im 16 Bits fassenden Leitadressenregister BL enthalten.

3. 7. Aufteilung und Belegung von Prozeßleitblöcken

Der Prozeßleitblock hat in den Halbwortzellen 0 bis 65 (relativ zur Leitadresse) eine Reihe von Aufgaben in Hilfszellen, die z. T. für hardwareseitige Vorgänge benötigt werden, z. T. unbesetzt sind. Im anschließenden Teil enthält er die Seiten-Kachel-Zuordnungstabelle.

Der Inhalt des Leitblocks kann nur im Systemmodus verändert werden.

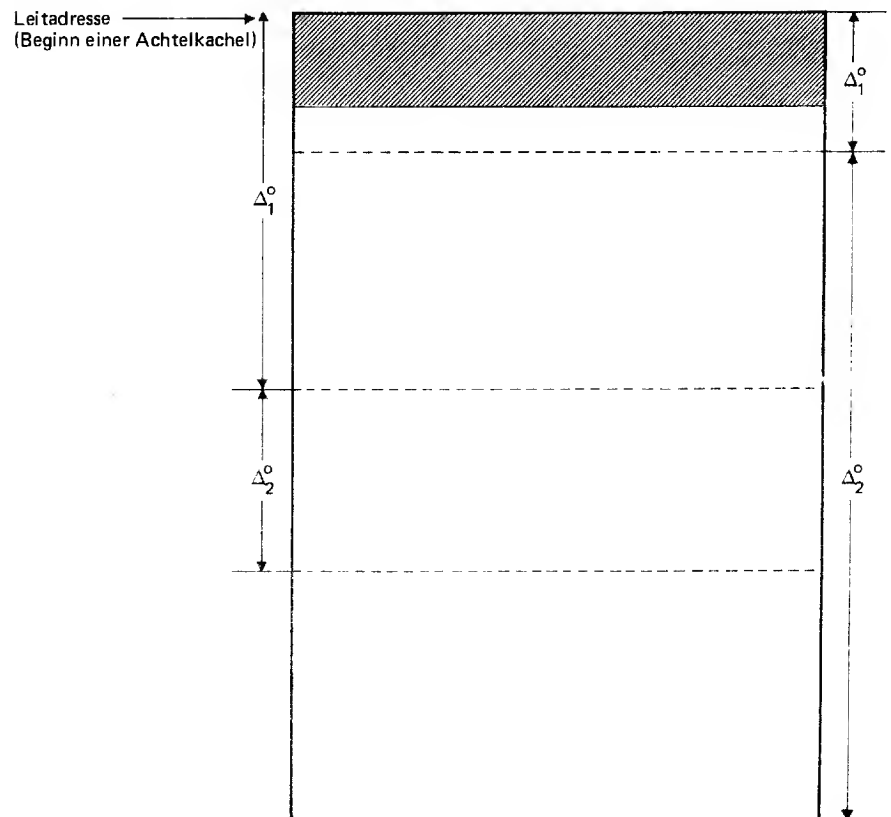


Bild 10 Aufteilung des Leitblocks

$\Delta_1^O, \Delta_1^A :$

Beginn der Seiten-Kachel-Tabelle für Normalmodus (Δ_1^O) bzw. Abwicklermodus (Δ_1^A)

$\Delta_2^O, \Delta_2^A :$

Länge der Seiten-Kachel-Tabelle für Normalmodus (Δ_2^O) bzw. Abwicklermodus (Δ_2^A)

Im Normalmodus kann nur auf den Inhalt der Kacheln zugegriffen werden, deren Nummern im Bereich Δ_2^O des Prozeßleitblocks eingetragen sind.

Im Abwicklermodus kann nur auf den Inhalt der Kacheln zugegriffen werden, deren Nummern im Bereich Δ_2^A des Prozeßleitblocks eingetragen sind.

Sowohl im Normal- als auch im Abwicklermodus können die ersten 128 Ganzwortzellen mit dem Befehl BLEI gelesen werden.

Leitadresse			Bemerkungen	
+0			Teilleitblock 0	TK2 oder 0= Abwickler- modus Be- reichsgrenzen aus <65>2
2				
4	Indexbasis			
6	Sprungziel b.SSR			
8			Teilleitblock 1	TK3 oder 1= Normalmodus Bereichsgren- zen aus <64>2
10	BB	BA		
12	BF	Steuerbits		
14				
16				
18	BB	BA		
20	BF	Steuerbits		
22				
24	RS			
26	BB	BA		
28	BF	Steuerbits		
30	Code Steuerbits	BH		
32	RS			
34	BB	BA		
36	BF	Steuerbits		
38	Code Steuerbits	BH		
40	RS			
42	BB	BA		
44	BF	Steuerbits		
46	Code Steuerbits	BH		
48				
50				
52				
54				
56				
58				
60	Δ_2^0	Δ_1^0	Δ_2^0	Δ_1^A
62	3 7	8 12	27 31 32	36
64	BLZ2	BLZ1	BZL2	BLZ1
			Titbl. 2	

Bild 11 Hardwareseitig zugeordnete Zellen im Prozeßleitblock

Die Halbwortadressen 4, 6, 64 und 65 müssen vorbesetzt werden. Die Stellung und Bedeutung der Steuerbits ist in Abschnitt 6.5.2 beschrieben.

Die Seiten-Kachel-Tabelle kann frühestens in Teilleitblock 3 beginnen.

3.8. Adressierung der Seiten-Kachel-Zu- ordnungstabelle im Prozeßleitblock

Zweckmäßigerweise stellt man sich die Seiten-Kachel-Zuordnungstabelle als in Viertelworte (Silben zu 12 Bits) unterteilt vor.

Der schnelle Kernspeicher des RD 441 nimmt bei Maximalausstattung 256 K Worte auf, d.h. es sind die Kacheln mit den Nummern (Adressen) 0 bis 255 möglich. Zur Darstellung dieser Adressen sind 8 Bits erforderlich.

Von den verbleibenden 4 Bits eines jeden Viertelworts dient eines dazu, den Schreibschutz, der für jede Kachel möglich ist, zu realisieren. Unter Einbeziehung der restlichen 3 Bits können Kacheladressen bis zu 4095 dargestellt werden (für Massenkernspeicher). Demnach hat jedes Viertelwort in der Seiten-Kachel-Zuordnungstabelle folgendes Format:

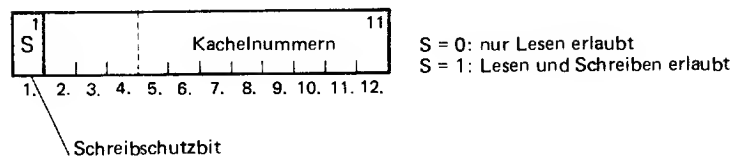


Bild 12 Viertelwort in Seiten-Kachel-Tabelle

Jeder Prozeßleitblock umfaßt bis zu 1024 Ganzworte.

Damit besteht jeder Prozeßleitblock aus 8 Achtelkacheln.

Eine Achtelkachel besteht aus (Definition) 8 Teilleitblöcken, jeder Teilleitblock aus 16 Ganzworten bzw. 32 Halbworten bzw. 64 Viertelworten.

In den Halbworten 64 und 65 stehen die Bereichsangaben Δ_1^O , Δ_2^O , Δ_1^A , Δ_2^A für den Normal- und Abwicklermodus. Die Bereichsangaben bestehen aus je 5 Bits, so daß damit jeweils 32 Adressen möglich sind.

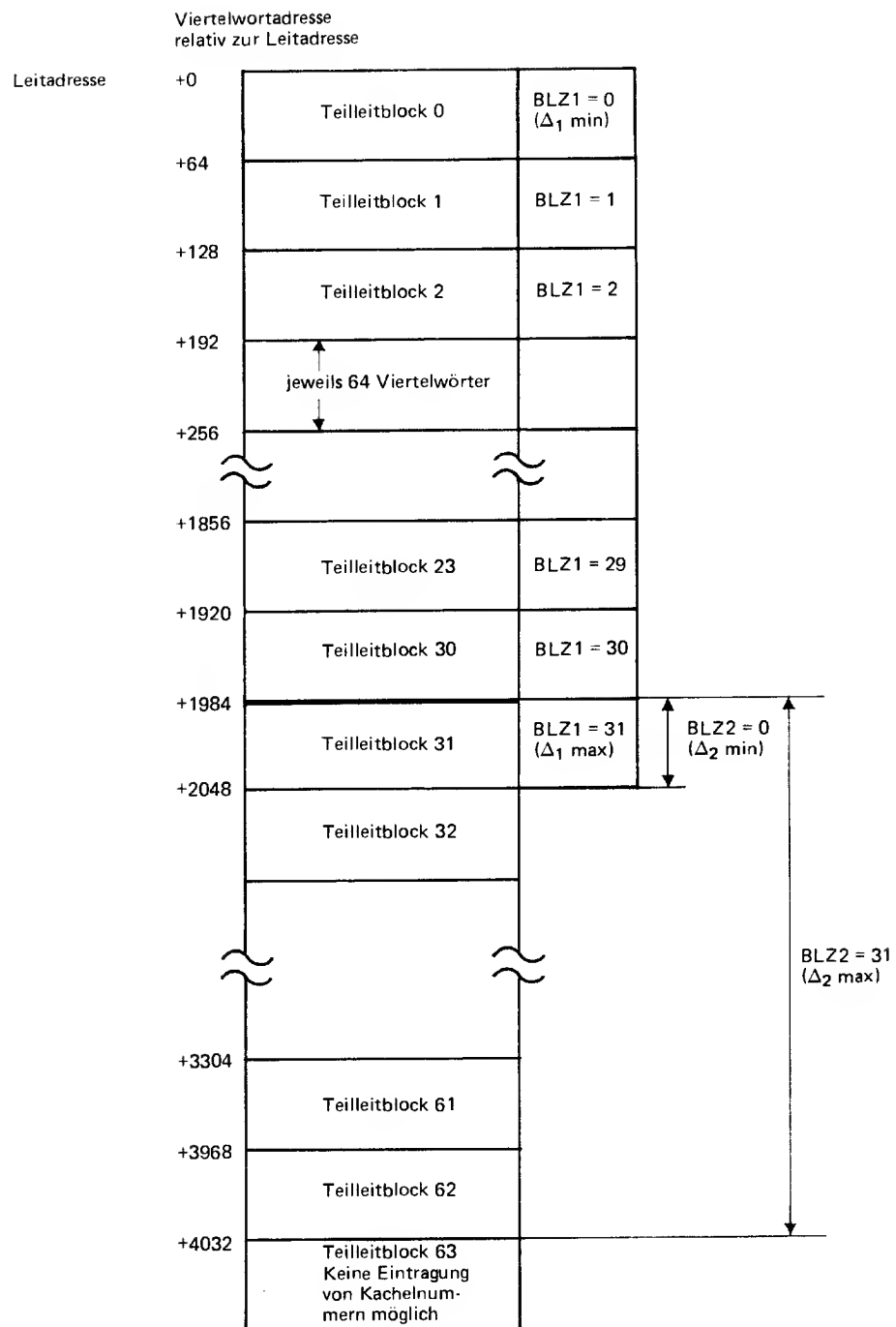


Bild 13 Aufteilung des Prozeßleitblocks in Viertelwörter

Die Seiten-Kachel-Zuordnungstabelle kann frühestens im Teilblock 0 beginnen (theoretischer Wert, da BLZ 3 enthalten muß, siehe 6.6.1). Sie muß spätestens mit Teilleitblock 31 beginnen (BLZ1 = 31).

Da 0 BLZ 31 gilt, können insgesamt max. 32 Teilblöcke überstrichen werden. Einem Prozeß können also z.B. im Normalmodus maximal $32 \cdot 64$ Viertelworte für die Seiten-Kachel-Zuordnungstabelle zur Verfügung gestellt werden, d.h. er kann maximal $32 \cdot 64 = 2048$ K belegen.

Der kleinste einem Prozeß im Leitblock zuteilbare Speicherraum beträgt 1 Teilblock = 64 Viertelworte mit 64 Kachelnummern. Da jedoch nicht alle Viertelworte der Seiten-Kachel-Zuordnungstabelle besetzt sein müssen, benötigt der Prozeß im Kernspeicher nur diejenigen Kacheln, deren Nummern in der Tabelle eingetragen sind, sowie den Raum, den das Betriebssystem speziell für diesen Prozeß anlegt.

Dieselbe Kachelnummer kann mehrfach im Leitblock verzeichnet sein.

Der Teilleitblock 63 kann nie durch einen Teil der Seiten-Kachel-Zuordnungstabelle belegt sein, da diese Tabelle spätestens mit Teilleitblock 31 beginnt und höchstens 32 Teilleitblöcke lang sein kann, d.h. spätestens mit dem Teilleitblock 62 einschließlich endet.

3.9. Die Speicheransteuerung

Mit Hilfe der Seiten-Kachel-Zuordnungstabelle muß im Normal- bzw. Abwicklermodus bei jeder Speicheransteuerung festgestellt werden, auf welcher Kachel diejenige Seite des Prozesses, auf die zugegriffen werden soll, sich befindet.

Die Seiten-Kachel-Zuordnungstabelle beginnt in einem bestimmten Teilleitblock entsprechend dem vorgegebenen BLZ1. Im ersten Viertelwort dieses Teilleitblocks ist die Nummer derjenigen Kachel eingetragen, in die die Seite 0 des betreffenden Prozesses eingespeichert wurde. Das zweite Viertelwort enthält die Kachelnummer von Seite 1, das erste Viertelwort des folgenden Teilleitblocks enthält die Kachelnummer von Seite 64 usw.

In der Abrufphase entsteht aus der programmrelativen 16-Bit-Adresse nach Modifizierung mit Mod 1 und Mod 2 eine 24-Bit-Adresse. Davon adressieren die letzten 11 Bits relativ zum Anfang der Seite. Sie bleiben unverändert und adressieren nach Ersetzung der Seitennummer durch die Kachelnummer denselben Speicherplatz in der Kachel wie vorher in der Seite.

Die linken 13 Bits, von denen die beiden vordersten für die Speicheransteuerung ohne Bedeutung sind, definiert die programmrelative Seitennummer.

Diese aus 11 Bits bestehende Seitennummer wird nun zur Speicheransteuerung wie folgt benutzt:

Der Inhalt der Speicherhalbzelle 64 (bzw. 65) des Prozeßleitblocks wird in die Register BLZ1 und BLZ2 des Befehlswerks gebracht. Der Inhalt von BLZ2 wird anschließend mit den höchsten 5 Bits der im Adressenregister BA enthaltenen Seitennummer verglichen.

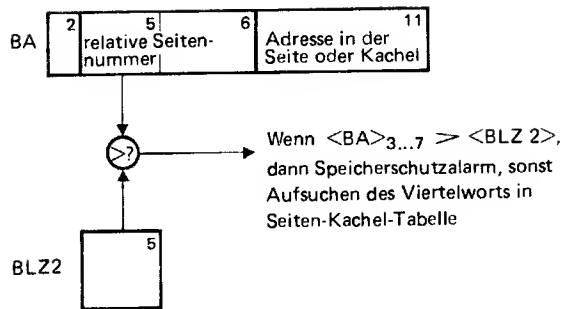


Bild 14 Seitennummern-Vergleich und Auswertung

Ist $\langle BA \rangle_{3...7}$ größer als $\langle BLZ2 \rangle$, so wird Speicherschutzalarm ausgelöst. Ist das nicht der Fall, dann wird das der relativen Seitennummer entsprechende Viertelwort in der Seiten-Kachel-Zuordnungstabelle folgendermaßen angesteuert:

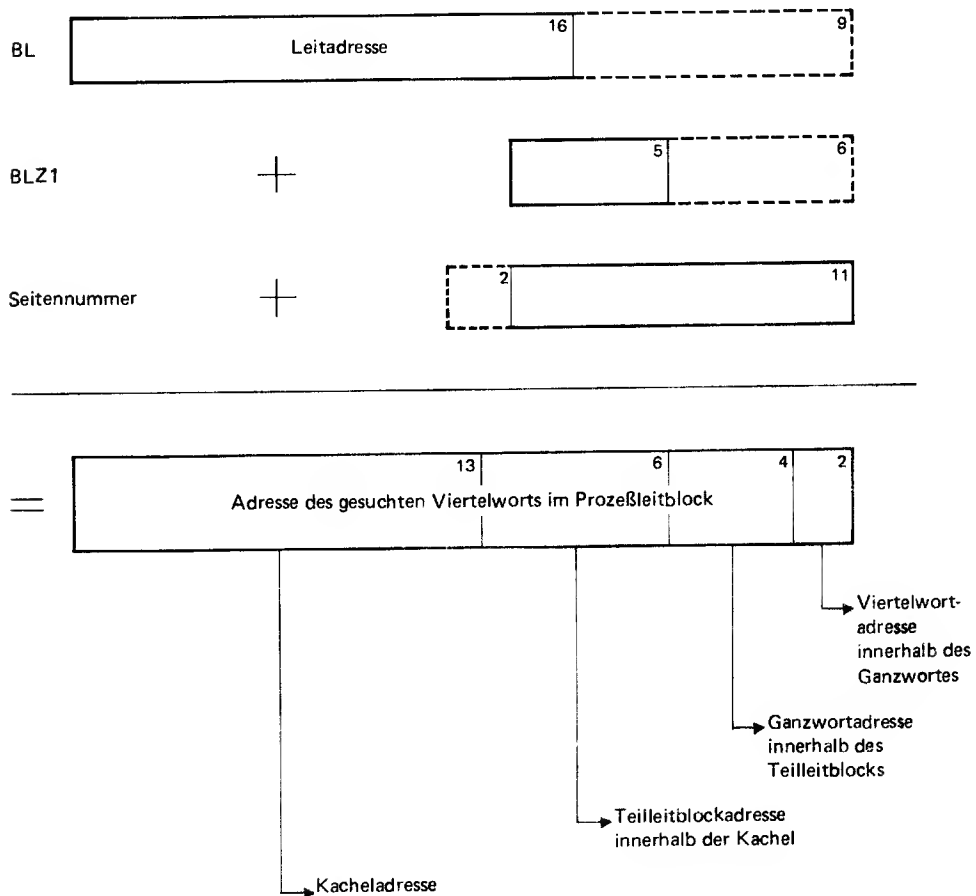


Bild 15 Viertelwort-Ansteuerung in Seiten-Kachel-Tabelle

Das gefundene Viertelwort enthält die gesuchte Kachelnummer, durch die die Seitennummer ersetzt wird.

Da die Ergebnisadresse absolut adressiert und Viertelworte anspricht, handelt es sich um eine 25-Bit-Adresse.

Das oberste Bit im angesteuerten Viertelwort enthält das Schreibschutzbit (siehe 6. 6. 2) und wird bei dem beschriebenen Ersetzungsvorgang entsprechend berücksichtigt.

Enthält das gefundene Viertelwort keine Kachelnummer (Kachelnummer 0), so wird Speicherschutzalarm ausgelöst.

Das beschriebene Verfahren hat den Nachteil, daß der Speicher zweimal angesteuert werden muß, um den Inhalt einer Adresse auszulesen.

Zuerst muß der Inhalt eines Viertelworts im Prozeßleitblock, der ja im Kernspeicher eingetragen ist, ausgelesen werden. Dann wird mit Hilfe der gefundenen Kachelnummer die endgültige Speicheradresse gebildet, deren Inhalt in einem zweiten Zugriff ausgelesen wird.

Seitenassoziativregister

Wenn sehr oft über eine längere Zeit in wenigen Seiten gearbeitet wird bzw. eine Seite abgearbeitet wird, so läßt sich der beschriebene Vorgang durch Benutzung von Seitenassoziativregistern (siehe auch 2. 2, Bild 6) wesentlich beschleunigen.

Beim RD 441 sind vier Seitenassoziativregister vorhanden, in denen jeweils die vier zuletzt angesprochenen Seitennummern mit den zugehörigen Kachelnummern eingetragen sind.

Bei einer Speicheransteuerung wird zuerst geprüft, ob die programmrelative Seitennummer bereits in einem "gültigen" der vier Seitenadreseßregister steht. Ist das der Fall, so wird die Ersetzung mit der entsprechenden Kachelnummer durchgeführt und damit unter Berücksichtigung des Schreibschutzbits die Speicheransteuerung vorgenommen.

Enthält keines der gültigen Seitenadreseßregister die zu ersetzende Seitennummer, dann wird die Kachelnummer wie oben beschrieben aufgefunden und zusammen mit der zugehörigen Seitennummer in das älteste, d. h. am längsten nicht angesprochene der vier Seitenadreseßregister eingetragen.

Wenn ein Prozeß die Regie aufgibt, so werden die Gültigkeitsbits auf ungültig gesetzt.

r. rel. Adresse innerhalb Seite
s. Seitenadresse (programmrel.)
k. Kacheladresse (absolut)

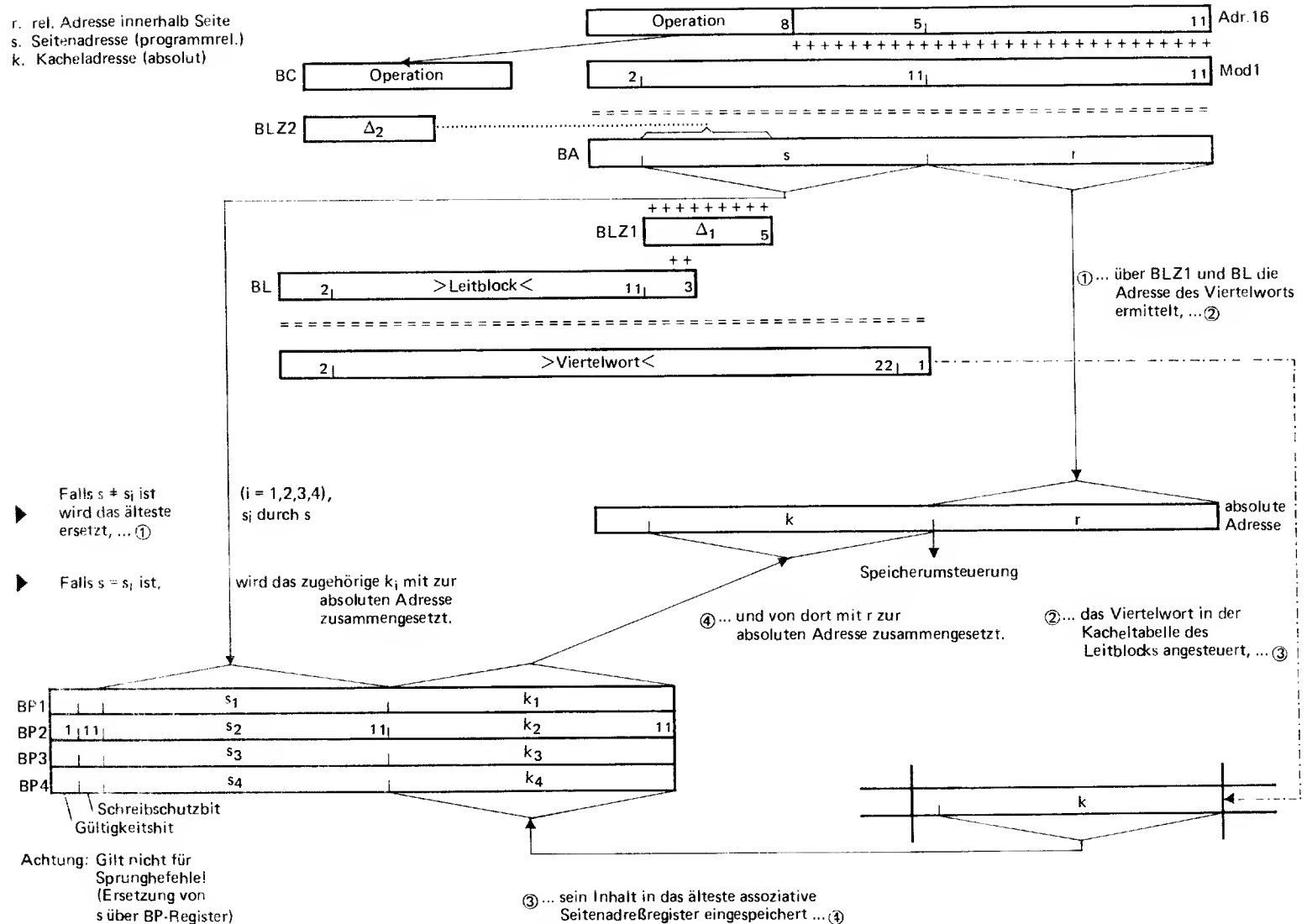


Bild 16 Ersetzung der programmrelativen 16-Bit-Adresse mit der Kacheladresse

3.10.
Die Indexspeicher-
ansteuerung

Durch die Befehle $BCI\ n$ und $ZI\ n_2$ wird ein Bereich von 256 Halbwortzellen des Kernspeichers als sekundäre Indexspeicher deklariert.

Die Adresse des Anfangs des Bereichs wird im 22 Bits umfassenden Indexbasisregister abgelegt. Diese Anfangsadresse unterliegt keiner Beschränkung, so daß der Fall eintreten kann, daß der Bereich in einer anderen Kachel fortgesetzt wird, die im allgemeinen nicht die physikalisch auf die erste Kachel unmittelbar folgende ist. Da hierbei jedoch der Indexbereich in der zweiten Kachel sicher auf der Adresse 0 fortgesetzt wird, ist zur Erfassung dieses Sachverhalts ein nur 11 Bits großes Indexbasiszusatzregister erforderlich.

Vor dem Anlegen eines Indexbereichs wird geprüft, ob die Anfangsadresse und die Endadresse in zugewiesenen und nicht schreibgeschützten Kacheln liegen. Ist das nicht der Fall, wird Speicherschutzalarm ausgelöst.

Bei Adressierung einer Indexzelle wird die Indexadresse (8 Bits) zur Indexbasisadresse addiert und damit der Speicher angesteuert.

Zur Beschleunigung der Indizierung wird als primärer Indexspeicher der Zuordner aus 4 Indexassoziativregistern verwendet, der die vier zuletzt benutzten Indexadressen und die zugehörigen Indexgrößen enthält (siehe 2.2, Bild 7).

Vor der Speicheransteuerung wird zunächst geprüft, ob die angesprochene Indexadresse in einem gültigen der vier Indexassoziativregister steht. Ist das der Fall, so wird die Indexgröße (24 Bits) direkt ausgelesen. Im anderen Fall wird der Speicher wie beschrieben mit der Indexbasisadresse (bzw. Indexbasiszusatzadresse) und der Indexadresse angesteuert. Indexadresse und Indexgröße werden dann in ein ungültiges oder das älteste, am längsten nicht mehr angesprochene, Indexregister eingetragen. Zuvor wird anhand des Rückspeicherbits entschieden, ob die zu überschreibende Indexgröße im Indexregister verändert wurde. Ist das der Fall, so wird die Indexgröße vor Einspeichern der neuen Werte in den Indexbereich zurückgespeichert. Das Rückspeicherbit wird bei jeder Veränderung einer Indexgröße gesetzt.

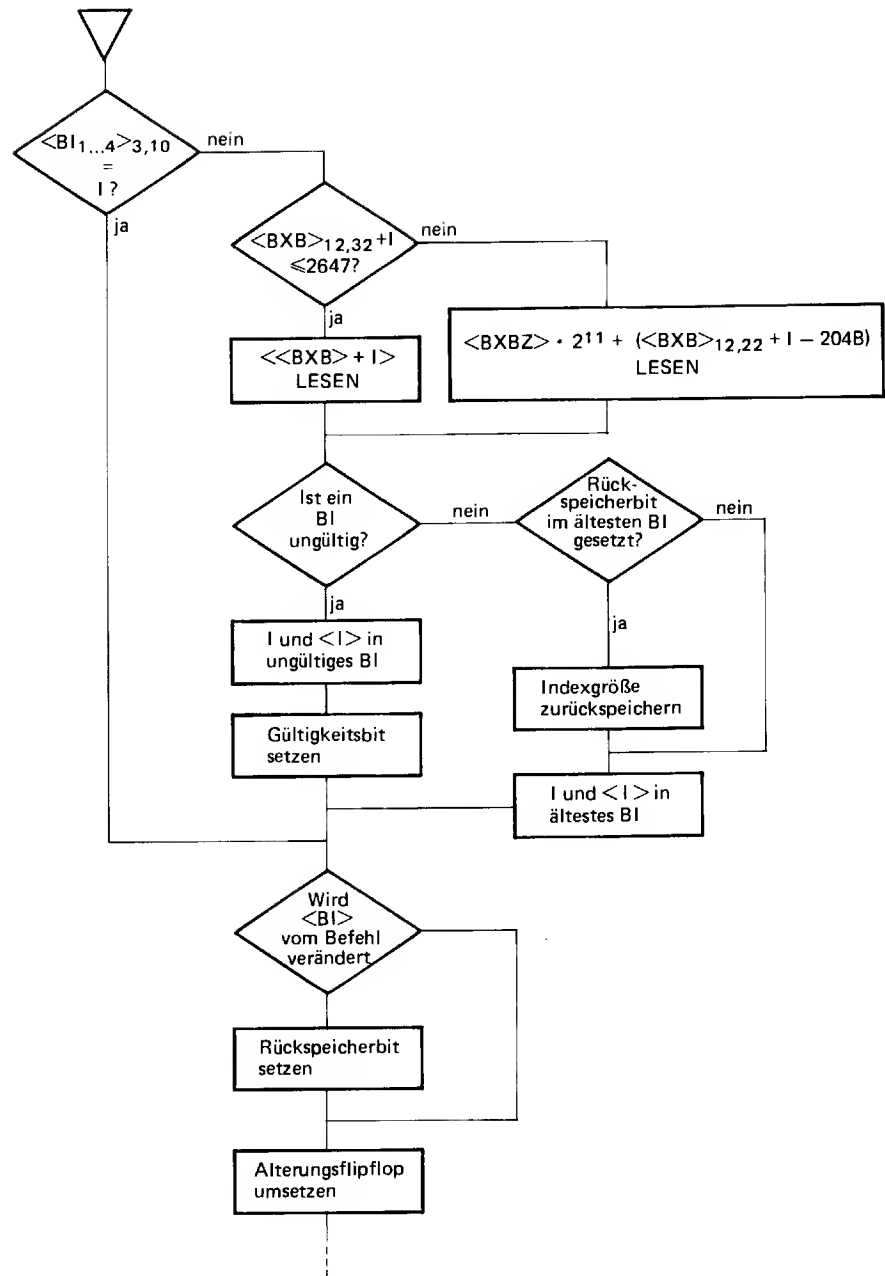


Bild 17 Indexspeicheransteuerung

Das EA-Werk besteht aus dem EA-Befehlswerk, den Standard- und Schnellkanalwerken und dem Eingriffswerk.

Das EA-Befehlswerk entschlüsselt die EAW-Befehle und steuert den Datentransfer zwischen Speicher und Kanalwerk.

Die Kanalwerke steuern und kontrollieren den Datentransfer mit den peripheren Geräten. Der RD 441 kann mit bis zu 4 Schnell- und 12 Standardkanalwerken ausgestattet werden. Jeder Standardkanal besitzt vier Unterkanäle (Anschlußmöglichkeiten), jeder Schnellkanal besitzt einen Unterkanal, jedoch ein zusätzliches Pufferregister.

Das Eingriffswerk verlangt auf Anstoß eines Kanalwerks, des EA-Befehlswerks oder eines Peripheriegeräts eine Programmunterbrechung in einem Rechnerkern. Dabei wird vom Eingriffswerk ein Eingriffswort abgespeichert, aus dem der Anlaß des Eingriffs (Unterbrechverlangens) bzw. der Unterbrechung nach Zustandekommen erkennbar ist.

Ein EA-Vorgang wird vom Rechnerkern mit einem Rechnerkernbefehl gestartet. Der angestoßene Vorgang läuft dann simultan zu Rechnerkernoperationen ab. Das Ende des EA-Vorgangs wird dem Rechnerkern durch eine Programmunterbrechung mitgeteilt.

Der EA-Vorgang ist vor dem Start durch Bereitstellung von EAW-Befehlen, Startinformation, Laden der Kanalbefehlszelle und Laden der Kanaluordnungszelle vorzubereiten.

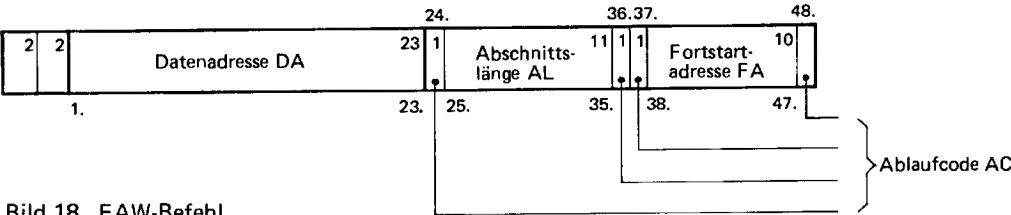


Bild 18 EAW-Befehl

4. 1.
Die Speicherkachel 1

Die Kachel 1 ist dem EA-Verkehr fest zugeordnet. Sie ist folgendermaßen eingeteilt:

Ganzwort-	
adresse:	
0	Kanalbefehlszelle für Kanal 0
2	" " "
.	.
.
.	.
30	Kanalbefehlszelle für Kanal 15
32	.
.
.	.
.	.
62	.
64	Kanalzuordnungszelle für Kanal 0
.	" " " 1
.	.
.
94	Kanalzuordnungszelle für Kanal 15
.	.
.
.	.
128	Befehlsketten
.	.
.	.
.	.

Bild 19 Einteilung von Speicherkachel 1

Die Datenadresse DA gibt zunächst den Anfang des Abschnitts an. Sie wird während des Transfers laufend erhöht. Gleichzeitig wird die Abschnittslänge AL vom Anfangswert heruntergezählt. Wenn die Abschnittslänge AL = 0 geworden ist, wird der Inhalt der Fortstartadresse FA als neuer EAW-Befehl geholt.

Der Ablaufcode, AC, gliedert und begrenzt den EA-Vorgang und bewirkt unter Umständen Abschnittseingriffe. Es werden 4 Befehle mit verschiedenen AC unterschieden:

24	36	37	48	AC	EAW-Befehl
X	0	0	0		Stopbefehl
X	0	0	L		Fortstartbefehl
X	0	L	L		Durchstartbefehl
X	L	L	L		Neustartbefehl

Bild 20 Ablaufcodes von EAW-Befehlen

4. 2.

Der EAW-Befehl

Die drei Befehle mit Bit 48 = L steuern mit ihrer laufenden Adresse DA bei Abschnittslänge $AL \neq 0$ die Ein- oder Ausgabe je eines Abschnitts. Nach dessen Übertragung wird unter der Fortstartadresse FA des abgearbeiteten Befehls entweder der EAW-Befehl für den nächsten Abschnitt oder ein Stopbefehl gefunden.

Ist in dem folgenden Befehl Bit 24 = L gesetzt, so wird ein Abschnittseingriff erzeugt. Jeder Rechnerkern kann auf diese Weise durch Abschnittseingriffe vom Fortgang des EA-Vorgangs laufend unterrichtet werden. Im übrigen wird der nachfolgende Befehl so abgearbeitet, wie die drei anderen Operationsbits bestimmen.

Stopbefehl

Bei Ausführung dieses Befehls wird der EA-Vorgang beendet, es erfolgt ein Stopeingriff.

Fortstartbefehl

Er wird ins EA-Befehlswerk übernommen und abgearbeitet. Durch eine Folge von Fortstartbefehlen ist gestreutes Lesen und gesammeltes Schreiben möglich.

Durchstartbefehl

Mit dem neuen Abschnitt wird ein neuer Block begonnen, d. h. eine Blocklücke erzeugt oder erwartet. Dieser Befehl ermöglicht z. B. das Schreiben mehrerer Blöcke auf ein Magnetband in einem EA-Vorgang.

Neustartbefehl

Der vom Neustartbefehl adressierte Abschnitt wird als Startinformation für einen neuen EA-Vorgang für das betrachtete Kanalwerk interpretiert, der dann ohne Start vom Rechnerkern sofort anläuft. Dabei kann ein beliebiger Unterkanal des Kanalwerks ausgewählt werden.

4. 3.

Die Kanalbefehlszellen

Jedem Kanalwerk ist eine Kanalbefehlszelle zugeordnet, in der jeweils derjenige EAW-Befehl steht, der vom Kanalwerk gerade bearbeitet wird. Vor dem Start ist die Kanalbefehlszelle des anzusprechenden Kanalwerks mit einem EAW-Befehl zu laden, dessen Fortstartadresse, FA, auf den ersten EAW-Befehl des eigentlichen EA-Programms verweist, und dessen Abschnittslänge $AL = 0$ ist.

4. 4.

Die Startinformation

Ein EA-Vorgang wird durch einen Y-Befehl (Rechnerkernbefehl), der das Kanalwerk anstößt, gestartet. Daran schließen sich zwei Phasen an: die Startphase und die eigentliche Datentransferphase. In der Startphase fordert das Kanalwerk Startinformationen an. Die Startinformation ist eine Arbeitsanweisung (z. B. Eingabe, Ausgabe usw.) und wird von dem ersten EAW-Befehl mit $AL \neq 0$ aus dem Zentralspeicher in verschiedene Register des Kanalwerks sowie teilweise an das Peripheriegerät übertragen. Die Startinformation wird durch einen nachfolgenden Durchstartbefehl begrenzt.

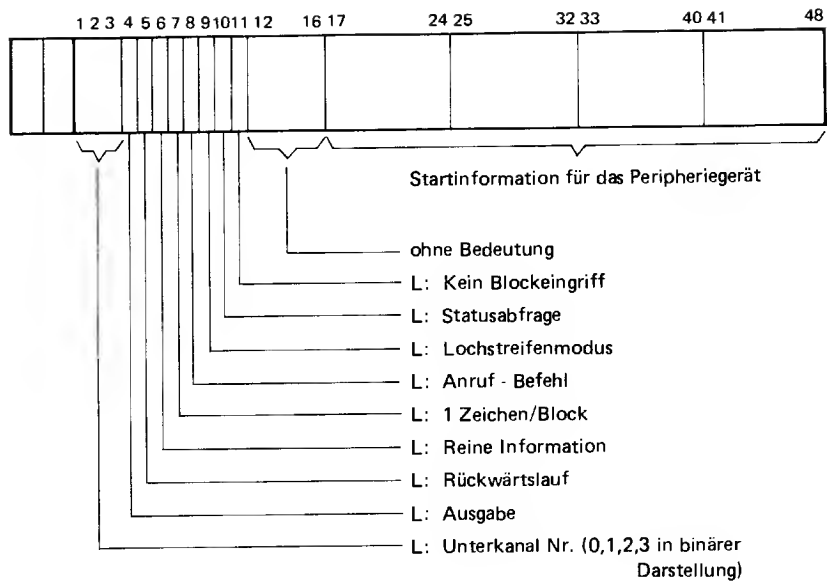


Bild 21 Startinformation

4. 5. Der Y-Befehl

Wie schon erwähnt, wird eine (erste) EA-Operation vom Rechnerkern aus durch einen Y-Befehl gestartet, der wie folgt aufgebaut ist:

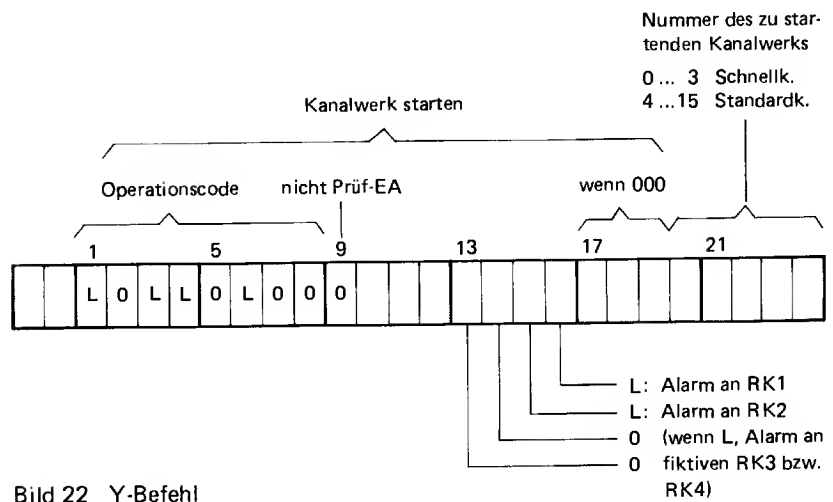


Bild 22 Y-Befehl

4. 6.
Die Kanalzuordnungszellen

Da der RD 441 bis zu zwei (und zwei fiktive) Rechnerkerne enthalten kann, muß festgelegt werden, welchem Rechnerkern ein Eingriff zugeordnet werden soll. Jedem Kanalwerk ist für diese Zuordnung eine Kanalzuordnungszelle beigeordnet. Diese Zelle ist vor dem Start des EA-Vorgangs zu laden. Dabei besteht die Möglichkeit, die verschiedenen Eingriffsarten (Blockeingriff, Stop- und Fehlereingriff, Abschnittseingriff, Anrufeingriff) verschiedenen Rechnerkernen zuzuleiten. Zu jedem Eingriff gehören zwei Bits. In der Kanalzuordnungszelle wird die Nummer des Rechnerkerns für jede Eingriffsart angegeben.

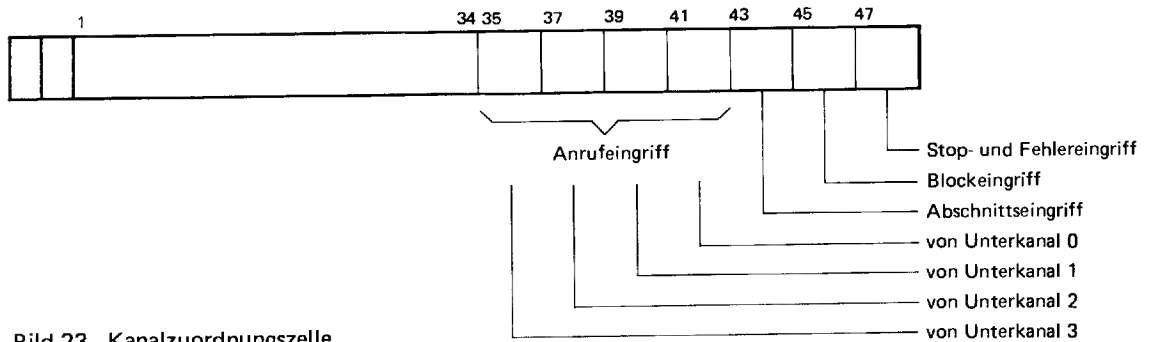


Bild 23 Kanalzuordnungszelle

4. 7.
Das V-Register und die
T-Register

Das EA-Befehlswerk steuert den Ablauf des EA-Vorgangs und den Datentransfer zwischen Kanalwerk und Speicher durch Abarbeiten von EAW-Befehlen. Das EA-Befehlswerk wird jeweils mit einem Transportwunsch eines Kanalwerks angestoßen. Im ersten Schritt wird daraufhin die Kanalbefehlszelle des anstoßenden Kanals aufgerufen. Der dort gespeicherte Befehl wird in das V-Register übernommen. Im zweiten Schritt wird (solange $AL \neq 0$) mit der Datenadresse DA des gelesenen EAW-Befehls eine Speichervorgangsmeldung vorgenommen und damit für das Kanalwerk ein Datentransport durchgeführt. Bei jedem gewöhnlichen Datentransport wird DA um eins erhöht und AL um eins vermindert. Beim Rückwärtslauf (von Magnetbändern) wird DA jedoch bei jedem Datentransport um eins vermindert (einstellbar über die Startinformation).

Für jedes der vier Schnellkanalwerke besitzt das EA-Befehlswerk ein T-Register. Während eines Transfers übernimmt dieses die Funktion der Kanalbefehlszellen, so daß die EAW-Befehle der Schnellkanalwerke bei einem Transportwunsch nicht aus dem Zentralspeicher gelesen werden müssen. Ein fünftes T-Register dient zur langfristigen Aufbewahrung eines EAW-Befehls für ein Standardkanalwerk bei Unterbrechung durch ein Schnellkanalwerk.

4. 8.
Das P-, H- und das
E-Register

Die 52 Bits fassenden Register P, H und E dienen als Pufferregister für Daten. Jedes Standardkanalwerk besitzt ein P- und ein E-Register, jedes Schnellkanalwerk zusätzlich ein H-Register.

Die im Rechnerkern bzw. in den Rechnerkernen ablaufenden Vorgänge können durch Eingriffe oder Alarme unterbrochen werden. Mit der Unterbrechung wird Information über deren Ursache mitgeliefert. Der vorgefundene Inhalt einiger Befehlswerksregister sowie der Zustand einiger Steuerflipflops wird hardwareseitig sichergestellt. Anschließend wird hardwareseitig eine bestimmte vorgebbare Adresse angesprungen.

5.1.

Die Eingriffe

Eingriffe sind Unterbrechungsverlangen an einen Rechnerkern, die von den Peripheriegeräten des Systems eingehen, gerichtet auf Unterbrechung des gerade im Rechnerkern laufenden Vorgangs zugunsten eines anderen (ihres Vorgangs). Ein Eingriff kann nur nach Beendigung der Abrufphase eines einzelnen Befehls behandelt werden (siehe 6.3).

Bei Unterbrechung durch einen Eingriff werden folgende Vorgänge angestoßen:

- Der Zustand des Prozesses oder des Teils des Betriebssystems, welcher gerade den Rechnerkern belegt, wird zur späteren Fortsetzung nach Befolgung des Eingriffs sichergestellt. Das geschieht z. T. hardwaremäßig durch Abspeichern einiger Befehlswerksregisterinhalte und Steuerflipflopzustände, z. T. softwaremäßig durch Abspeichern einiger Rechenwerksregisterinhalte.
- Die mit dem Eingriff mitgeschickte Nachricht über die Ursache des Eingriffs, das Eingriffswort, wird an bekannter Stelle hardwaremäßig abgelegt.
- Das Eingriffswort wird analysiert und demjenigen, der sich für den Eingriff interessiert (Prozeß oder Teil des Betriebssystems) wird eine entsprechende Nachricht zugestellt. Beides kann auf einen späteren Zeitpunkt verschoben werden.

Das Mikroprogramm "Eingriff" wird angesprungen, wenn folgende Bedingungen sämtlich erfüllt sind:

- Ein Eingriffswunsch vom EA-Werk liegt vor
- Die Eingriffssperre ist nicht gesetzt
- Alarmsperre 1 ist nicht gesetzt
- Das Mikroprogramm "Alarm" ist nicht aktiv
- Es steht kein Code an, der den Eingriff sperrt (ES-Code).

5.2.

Die Eingriffsarten

Anrufeingriffen, die - extern veranlaßt - jederzeit auftreten können, stehen Abschnitts-, Block- und Fehler- bzw. Stop-eingriffe gegenüber, die - programmiert oder zustandsbedingt - nur bei laufendem EA-Vorgang auftreten können.

- Anrufeingriff

Peripheriegeräte melden durch einen Anrufeingriff (z. B. Tastendruck beim Kartenleser) ihre Bereitschaft, Informationen zu übergeben oder zu übernehmen. Bei Rechnerkopplung meldet ein anderer Rechner seine Bereitschaft zur Informationsübergabe bzw. -Übernahme ebenfalls durch einen Anrufeingriff. Anrufeingriffe können jederzeit eintreffen und, soweit nicht Eingriffssperre verhängt ist, abgearbeitet werden.
- Abschnittseingriff

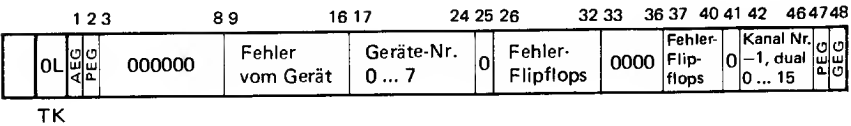
Ein Abschnitt ist in diesem Zusammenhang die durch einen EAW-Befehl transportierte Informationsmenge (maximal eine Seite, also 1024 Ganzworte).

Ein Abschnittseingriff wird vom Kanal bei Wechsel des EAW-Befehls dann gegeben, wenn im folgenden EAW-Befehl das Bit "Abschnittseingriff" (Bit 24) gesetzt ist. Der Abschnittseingriff erfolgt unter dieser Bedingung also dann, wenn der Transport, der mit dem vorangehenden EAW-Befehl gesteuert wurde, beendet ist.
- Blockeingriff

Sind in einem EAW-Befehl die Bits für "Durchstart" oder "Neustart" (Bit 37 oder Bit 36) gesetzt, so wird vor der Ausführung des durch diesen EAW-Befehl zu steuernden Transports ein Blockeingriff erzeugt. Durch eine Spezifikation in der Startinformation können diese Blockeingriffe bis zur nächsten Startinformation verboten werden.
- Fehlereingriff, Stopeingriff

Mit der Blockendemeldung (Stopeingriff) übergeben die Peripheriegeräte gegebenenfalls ein Fehlerzeichen, das im Eingriffswort vermerkt wird (Fehlereingriff). Auch der Kanal selbst kann bestimmte Fehler erkennen und einen Fehlereingriff erzeugen.
- 5.3.
Das Eingriffswort

Bei einem Eingriff wird vom Eingriffswerk das Eingriffswort gebildet und in Zelle 0 der Speicherkachel 0 abgelegt. (Eingriffsworte für den zweiten Rechnerkern werden in Zelle 512 der Speicherkachel 0 abgelegt). An einzelnen Bits wird erkannt, um welche Eingriffsart es sich handelt und von welchem Kanal und welchem Gerät an diesem Kanal der Eingriff herrührt. Bei Fehlereingriff enthält das Eingriffswort außerdem Fehlerzeichen zur Analyse des Fehlers (Bits 9 bis 16).



Bit 1 = L: Anrufeingriff

Bit 2 = L: Stopeingriff, wenn Bits 0 bis 16 = 0, sonst Fehlereingriff

Bit 47 = L: Abschnittseingriff

Bit 48 = L: Blockeingriff

Bild 24 Eingriffswort

Bit Nr.	Bedeutung bei Bit = L	
1	Anrufeingriff	
2	Stopeingriff, wenn Bits 9 bis 16 = 0, sonst Fehlereingriff	
47	Abschnittseingriff	
48	Blockeingriff	
26	regulärer Stop	
27	keine Startinformation (kein EA-Werksbefehl in Kanalbefehlszelle)	
28	DP-Fehler im EA-Werksbefehl	
29	Eingriffsfehler	
30	Gerät antwortet nicht	
31	Gerät arbeitet	
32	Startfehler	
37	DP-Fehler in Information	
38	Unerkanntes Zeichen	
39	Unvollständiges Wort	
40	Speicherüberschuß	
21	Unterkanal Nr. 3	
22	Unterkanal Nr. 2	Gerätenummern.
23	Unterkanal Nr. 1	
24	Unterkanal Nr. 0	

5. 4. Hardwareseitige Vorgänge bei Eintreffen eines Eingriffs

Zunächst wird das Flipflop "Eingriffssperre" gesetzt. Weitere Eingriffe (Unterbrechwünsche) werden zunächst nicht vom Rechnerkern berücksichtigt, jedoch vom Eingriffswerk vorge-
merkt. Einige vorgefundene Restinhalte des unterbrochenen
Vorgangs sowie die Stellung verschiedener Steuerflipflops wer-
den zur späteren Anknüpfung daran abgespeichert: im System-
modus in die Speicherkachel 0; in allen anderen Fällen den
Prozeßleitblock dessen Leitadresse im Leitadressenregister
BL vermerkt ist. Die in der nachfolgenden Übersicht angege-
benen Adressen gelten dann relativ zur Leitadresse.

In Zelle wird gespeichert

Leitadr. Eingriffswort
+0 Das Eingriffswort wird unabhängig vom eingestellten
Adressiermodus in die Zelle 0 eingespeichert.

- + 24 → 〈 Sammelregister RS 〉
- + 26₂ → 〈 Bereitadressenregister BB 〉
- + 27₂ → 〈 Adressenregister BA 〉
- + 28₂ → 〈 Befehls-Folge-Register BF 〉
- + 29₂ → 〈 Steuerbits (siehe 3. 5) 〉
- + 30₂ → 〈 Code, Steuerbits (siehe 3. 5) 〉
- + 31₂ → 〈 Adressenhilfsregister BH 〉

Die Ganzwortzellen 24, 26, 28, 30 bzw. die entsprechenden Ganzwortzellen relativ zur Leitadresse, wenn nicht Systemmodus eingestellt war, besitzen die Typenkennung 3.

Nach dieser hardwaremäßigen Abspeicherung von Registerinhalten erfolgt ein Sprung auf die in der Halbwortzelle 5 (bzw. bei Eingriff für den zweiten Rechnerkern Halbwortzelle 517) abgegebene Adresse.

$$\langle BF \rangle := \langle 5_2 \rangle$$

Wie schon erwähnt, wird bei Eintreffen eines Eingriffs zunächst die Eingriffssperre gesetzt. Daran schließen sich folgende Schritte an:

- 〈 0 〉 := Eingriffswort
- Abspeicherung der Befehlswerksregister (siehe oben)
- 〈 BB 〉_{1...16} := 〈 BL 〉
War Systemmodus eingestellt, so gilt 〈 BB 〉 := 0
- Modus 24 (TR 440-Modus) wird eingestellt
- Systemmodus wird eingestellt
- Sprung nach 〈 5₂ 〉
〈 BL Z1 〉 und 〈 BL Z2 〉 bleiben unverändert

Alter Adressierungsmodus	Ablage der Befehlswerksregister	Indexzellen := (wenn Rückspeicherbit gesetzt)	〈 BXB 〉
Normalmodus	〈 〈 BL 〉 + 24 〉 _{ff}	〈 BL _{1...4} 〉	〈 4 ₂ 〉
Abwicklermodus	"	"	"
Spezialmodus	"	"	"
Systemmodus	〈 24 〉 _{ff}	unverändert	unverändert

Die beim Kanal gebildeten Eingriffe (Unterbrechwünsche) entstehen unabhängig davon, ob die Eingriffssperre gesetzt ist oder nicht. Bei gesetzter Eingriffssperre stehen die Eingriffe im Eingriffswerk an.

Anrufeingriffe vom selben Gerät werden dabei überschrieben. Ein auf einen vorliegenden Blockeingriff stoßender Blockeingriff führt zu einem Fehlereingriff. Der Informationstransport wird in diesem Fall abgebrochen.

5. 5. Die Eingriffssperre

Eingriffe können auf verschiedene Weise gesperrt sein bzw. gesperrt werden.

- Durch den Befehl VMO (Verändere Modus) kann die Eingriffssperre gesetzt werden. Der Befehl VMO ist jedoch nur im System- oder Spezialmodus möglich.

Bei Unterbrechung durch einen Eingriff, SSR-Sprung oder Makro-Sprung (siehe) wird das Flipflop "Eingriffssperre" hardwaremäßig gesetzt.

- Das Mikroprogramm eines Befehls kann nur am Ende der Abrufphase durch einen Eingriff unterbrochen werden. In der übrigen Zeit verhält sich der Rechner gegenüber Eingriffen wie bei gesetzter Eingriffssperre. Die entstehenden Sperrzeiten liegen größenordnungsmäßig zwischen Bruchteilen von Mikrosekunden bis zu einigen Mikrosekunden.
- In jedem Fall lassen sich Eingriffe über die Kanalzuordnungszelle (siehe 7. 6) auf nicht vorhandene (fiktive) Rechnerkerne leiten. Das kann selektiv für einzelne Kanäle und selektiv für einzelne Geräte an einem Kanal erfolgen. Für das betreffende Gerät bzw. den Kanal wirkt das so, als ob der Eingriff gesperrt sei.

5. 6. Die Alarme

Alarme sind Unterbrechungsverlangen an einen Rechnerkern, die durch Ereignisse im Rechner (besonders Registern des Rechnerkerns selbst oder dessen Mikroprogrammen) oder durch Ausfall der Stromversorgung hervorgerufen werden, gerichtet auf Unterbrechung des gerade laufenden Vorgangs zugunsten eines einzuschreibenden anderen Alarmbehandlung.

Bei Unterbrechung durch einen Alarm werden folgende Vorgänge angestoßen:

- Der Zustand des Prozesses oder des Teils des Betriebssystems, welcher gerade den Rechnerkern belegt, wird zur eventuellen späteren Fortsetzung nach Behebung des Alarms (auf Verdacht) sichergestellt. Das geschieht z. T. hardwaremäßig durch Abspeichern einiger Befehlswerksregisterinhalte und Steuerflipflopzustände, z. T. softwaremäßig durch Abspeichern einiger Rechenwerksregisterinhalte.

Mit diesen Angaben ist es möglich, die Alarmursache zu analysieren.

- Es wird eine Alarmsperre verhängt.
- Es erfolgt ein Sprung auf eine an bestimmter Stelle angegebene Adresse.

Das Mikroprogramm "Alarm" wird angesprungen, wenn folgende Bedingungen erfüllt sind (\wedge gelesen "und" für Konjunktion, \vee gelesen "oder" für Adjunktion, Klammern zur Gliederung):

$(\text{Weckeralarm} \vee \text{Rechneralarm } 0 \vee \text{Rechneralarm } 1 \vee \text{Hauptalarm})$
 $\wedge \text{ Alarmsperre } 1 \vee \text{Dreieierprobenalarm} \vee \text{Speicherschutzalarm}$
 $\vee (\text{Mikroprogramm läuft in Schleife})$

$\vee \text{Stop-Alarm} \vee \text{BV-Überlauf} \vee \text{Befehlsalarm}$
 $\vee (\text{TK-Alarm} \vee \text{A-Alarm}) \wedge \text{Rechenwerksbefehl} \wedge \text{SAA-Befehl}$
 $\wedge \text{SAT-Befehl; wobei}$

TK-Alarm = Typenkennungsalarm,
A-Alarm = arithmetischer Alarm,
SAA = Springe wenn arithmetischer Alarm,
SAT = Springe wenn Typenkennungsalarm.

5. 7. Die Alarmarten und ihre Einteilung in Gruppen

Es werden zweierlei Gruppen von Alarmen nach Ursachen bzw. Dringlichkeit und entsprechenden Behandlungserfordernissen unterschieden: Alarme der Gruppe 1, deren Behandlung und Behebung logische Voraussetzung für die nachfolgenden Verarbeitungsschritte oder betrieblichen Entscheidungen ist, und Alarme der Gruppe 2, deren Behandlung zumindest kurzfristig zurückgestellt werden kann, wobei, z. B. bei Hauptalarm wegen bevorstehenden Spannungsausfalls, gewisse Grenzen gesetzt sind.

Die Alarme der
Gruppe 1

Bezeichnung	Stellung * bei Abspeicherung	Beschreibung
TK-Alarm (Typenkennungs- Alarm)	37	Tritt u. a. bei fehlerhafter Ver- sorgung zahlreicher Befehle auf, z. B. Division zweier Zahlen un- gleicher TK (siehe "Wirkung der Befehle").
A-Alarm (arithmeti- scher Alarm)	38	Tritt u. a. bei fehlerhafter Ver- sorgung zahlreicher Befehle auf, z. B. bei Division durch 0 (siehe "Wirkung der Befehle").
Stop-Alarm	42	Fall 1: Stop vor Abrufphase (Bit 33 = L) Programmierte Unter- brechung am Anfang der Abrufphase eines Befehls (siehe auch Fall 2: Stop nach Abrufphase (Bit 36 = L) Programmierte Unter- brechung am Ende der Abrufphase eines Befehls (siehe auch
BU-Überlauf	40	Das Unterprogrammregister hat 255 überzählt.
Befehlsalarm	41	Der Befehlszähler führt auf ein Wort, dessen TK $\neq 2$ ist. Der ab- gespeicherte Stand des Befehls- folge-Zählers ist in diesem Fall undefiniert.
Dreierproben- alarm	45	Der Transport eines Words vom oder zum Speicher wurde fehler- haft ausgeführt, so daß die ange- gebene Dreierprobe nicht mit der errechneten übereinstimmt.
Speicherschutz- alarm	39	Unzulässiger Zugriff auf eine schreibgeschützte oder eine (noch) nicht zugeteilte Kachel des Spei- chers.
Mikroprogramm- Ausführungs- alarm	24	Technischer Fehler im Mikropro- gramm. Kann auch gelöscht werden durch fehlerhafte Versorgung be- stimmter Befehle.

* Bezieht sich auf die Stellung im 3ten Ganzwort (Bits 25 bis 48)
und 4ten Ganzwort (Bits 9 bis 24) bei Abspeicherung der Zustände
von Steuerflipflops bei Eingriffen und Alarmen (siehe

Die Alarme der Gruppe 2

Bezeichnung	Stellung bei Abspeicherung	Beschreibung
Weckeralarm	44	Der Inhalt des Weckerregisters stimmt mit den Bits 9 bis 24 des Uhrregisters überein. Der Alarm führt nur zum eigenen Rechnerkern.
Rechneralarm 1	23	Unterbrechung folgt nach dem Entschlüsseln des Y-Befehls
Rechneralarm 2	22	Unterbricht die vorhandenen Rechnerkerne
Hauptalarm	19	Netzausfall oder -ausschaltung. Von einem durch ein Schwungrad angetriebenen Generator wird noch kurzzeitig Spannung geliefert, die zur Ausführung einer bestimmten Anzahl von Rechenoperationen ausreicht, jedoch nicht mehr zum Betreiben von EA-Geräten.

5. 8. Die Alarmsperren

Es gibt zwei Alarmsperren, die Alarmsperre 1 und die Alarmsperre 2:

Ist keine Alarmsperre gesetzt, so wird unabhängig von Alarmart und Alarmgruppe bei Eintreffen eines Alarms Alarmsperre 1 gesetzt.

Ist Alarmsperre 1 gesetzt und ein Alarm der Gruppe 1 tritt auf, so wird Alarmsperre 2 gesetzt. Tritt bei gesetzter Alarmsperre 1 jedoch ein Alarm der Gruppe 2 auf, so wird Alarmsperre 2 nicht gesetzt, der Alarm wird verzögert, bis Alarmsperre 1 aufgehoben ist.

Ist Alarmsperre 2 (und damit auch Alarmsperre 1) gesetzt, so erfolgt bei Eintreffen eines Alarms der Gruppe 1 ein Rechnerhalt. Trifft bei Alarmsperre 2 ein Alarm der Gruppe 2 ein, so wird dieser Alarm verzögert.

5. 9. Hardwareseitige Vorgänge bei Eintreffen eines Alarms

Bei Eintreffen eines Alarms werden abhängig davon, ob Systemmodus eingestellt ist oder nicht, abhängig von der Alarmart (Gruppenzugehörigkeit) und von einer bereits anstehenden Alarmsperre die an der folgenden Tabelle aufgeführten Abspeicherungen und Neueinstellungen vorgenommen:

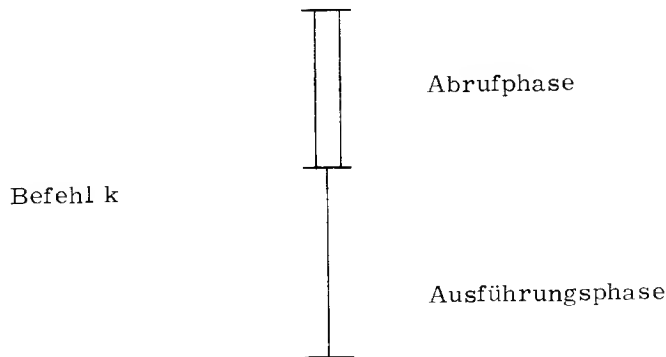
- gegebenenfalls (siehe Tabelle) Abspeicherung der Befehlsregister und Steuerflipflops
- $\langle BB \rangle_{1 \dots 16} := \langle BL \rangle$
war Systemmodus eingestellt, so gilt $\langle BB \rangle := 0$

- Modus 24 (TR 440-Modus) wird eingestellt
 - Systemmodus wird eingestellt
 - Sprung zu einer in einer bestimmten Halbwortzelle der Kachel 0 angegebenen Adresse (siehe Tabelle)
- ⟨BLZ 1⟩ und ⟨BLZ 2⟩ bleiben unverändert.

Einstellung bei Eintreffen eines Alarms			Einstellung nach Eintreffen eines Alarms				
Addressierungsmodus bei Alarmauftreten	Alarmsperre	Alarmgruppe	Alarmsperre	Ablage der BW-Reg.	⟨Indexzellen\ wenn Rückspeicherbit gesetzt	⟨BxB⟩	⟨BF⟩
Normalmodus Abwicklermod. Spezialmodus	keine	1, 2	1	⟨⟨BL⟩+32⟩ff	⟨BI _{1...4} ⟩	⟨4 ₂ ⟩	⟨2 ₂ ⟩
	1	1	2	⟨⟨BL⟩+40⟩ff	⟨BI _{1...4} ⟩	⟨4 ₂ ⟩	⟨3 ₂ ⟩
Systemmodus	keine	1, 2	1	⟨32⟩ff	unverändert	unverändert	⟨2 ₂ ⟩
	1	1	2	⟨40⟩ff	unverändert	unverändert	
	1 oder 1 u. 2	2	Der Alarm wird verzögert, bis Alarmsperre 1 aufgehoben ist				
	2	1	Rechnerhalt				

5.10.
Die Unterbrechung
von Befehlen

Die Ausführung eines Rechnerkernbefehls setzt sich aus zwei aufeinanderfolgenden Phasen zusammen, der Abrufphase und der Ausführungsphase. Manche Befehle durchlaufen die Ausführungsphase in Form einer Schleife mehrfach oder benutzen in der Ausführungsphase einen Teil der Abrufphase wie ein Unterprogramm.



Die Abrufphase wird durch ein von der Wirkung des einzelnen Befehls weitgehend unabhängiges Mikroprogramm realisiert, das nur das Befehlswerk eines Rechnerkerns belegt und sich für alle Befehle unter Verwendung verschiedener Eingänge gemeinsam darstellen läßt. Die Ausführungsphase ist durch die Wirkung des einzelnen Befehls bedingt und läßt sich nur in sehr grober Form allgemein wiedergeben.

Der zeitliche Ablauf einer Kette von Befehlen hängt von der Belegung von Befehls- und Rechenwerk ab. Belegt der Befehl k in der Ausführungsphase nur das Rechenwerk, so läuft zeitlich parallel dazu die Abrufphase des folgenden Befehls ab und anschließend auch die Ausführungsphase, falls diese nur das Befehlswerk belegt. Benötigt die Ausführungsphase jedoch das Rechenwerk, so kann sie erst gestartet werden, wenn die Ausführungsphase des vorhergehenden, das Rechenwerk belegenden Befehls abgeschlossen ist.

5.11.
Unterbrechungsstellen
im Befehlsablauf

Die Unterbrechungswünsche (Eingriffe und Alarmer) werden von Mikroprogrammen zunächst in Flipflop-Zuständen festgehalten. Diese Flipflops werden nur am Ende der Abrufphase abgefragt.

Nur bei Auftreten von Speicherschutzalarm, Dreierprobenalarm und Stopalarm (siehe 5.7, Stopalarm, Fall 1) wird unmittelbar der Alarmabfragezweig angesprungen. Die Aussprungsstelle wird zur Rückkehr in Steuerflipflops vermerkt.

- Steht bei gesetzter Alarmsperre 1 ein Alarm der Gruppe 2 an, so wird die Ausführungsphase angestoßen. Es wird fortgefahren und der Alarm erst gemeldet, wenn die Alarmsperre 1 aufgehoben ist. Alle anderen Alarmer führen zur Unterbrechung, wobei die Alarmsperre 2 gesetzt wird.
- Liegt nur Typenkennungs- und/oder arithmetischer Alarm an, so wird unabhängig von einer bereits anstehenden Alarmsperre nur dann in das Mikroprogramm "Alarm" gesprungen, wenn der anstehende Befehl diesen Alarm nicht umspringt (mit SAT bzw. SAA und Löschen des Alarms) oder wenn er das Rechenwerk belegt. Anderenfalls werden diese Alarmer zurückgestellt, und es wird nach anstehenden Eingriffen abgefragt.

- Stehen keine Alarmer an, die zu einer Unterbrechung führen, so wird nach einem anstehenden Eingriffswunsch abgefragt. Der Eingriffswunsch führt nur dann nicht in das Mikroprogramm "Eingriff", wenn entweder die Alarmsperre 1 oder die Eingriffssperre gesetzt ist, wenn beide gesetzt sind oder wenn ein den Eingriff sperrender Code (nur BC und SSR) ansteht.
- Im Alarmfall können mehrere Alarmer gleichzeitig anstehen. Bei Speicherschutzalarm oder Stopalarm am Beginn der Abrufphase werden die zu diesem Zeitpunkt in den Flipflops bereits angezeigten Alarmer mit gemeldet. Diese Alarmer treten dann früher auf, als sie ohne Entstehen eines Speicherschutzalarms oder Stopalarms gemeldet worden wären.

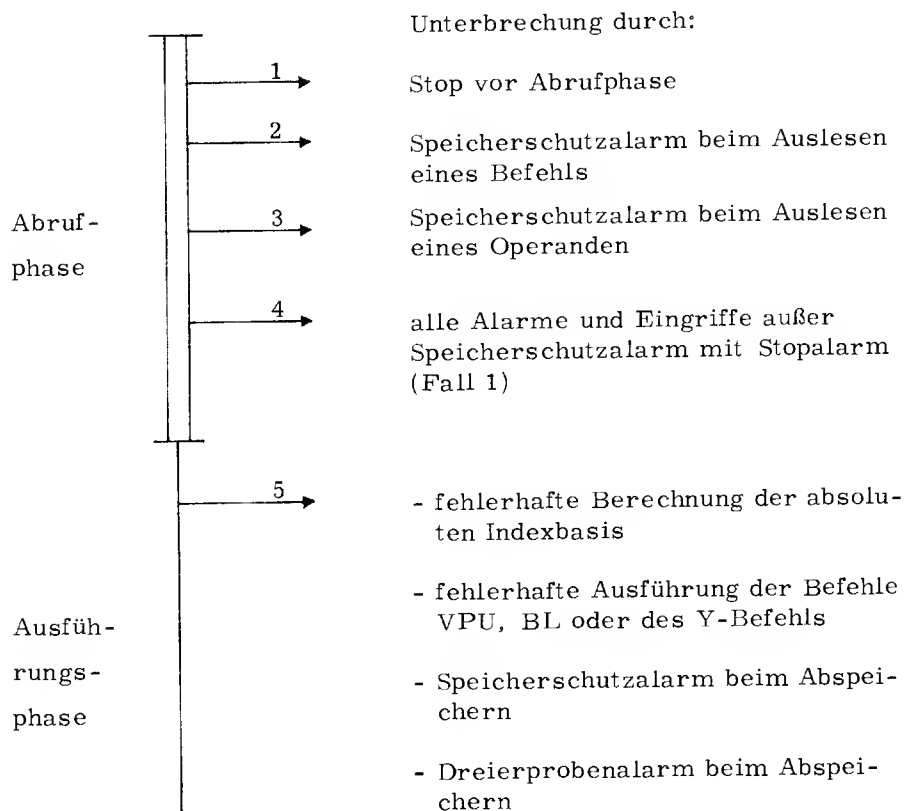


Bild 25 Unterbrechungsstellen im Befehl

In den Fällen 1, 2, 3 und 5 werden die Alarmer, die in den Flipflops bereits vermerkt sind, ebenfalls angezeigt.

Die Behandlung der Unterbrechungsmöglichkeiten bei komplexen Befehlen ginge über den Rahmen dieser Schrift hinaus.

Von den 256 möglichen Interncodes für Rechnerkern-Operationen sind nicht alle mit fest verdrahteten Maschinenbefehlen belegt. Die übrigen, freien Codes (Leercodes) können zur Darstellung von Makrobefehlen (kurz Makros) verwendet werden.

Benutzerprogramme, die im Normalmodus laufen, sind auf gewisse Dienstleistungen von Grundprogrammen angewiesen, die andere Adressierungsmodi (siehe 2.3) erfordern. Der Abwickler arbeitet im Abwicklermodus, das Betriebssystem im Systemmodus. Die Umschaltung vom Normal- in den Abwicklermodus oder von diesen weiter in den Systemmodus wird durch SSR-Befehle herbeigeführt (SSR = Springe ins System und Reserviere; siehe "TR 440 - Befehlslexikon").

6.1. Hardwareseitige Vorgänge bei Erkennen eines Leercodes (Makro)

In jedem Fall laufen bei Erkennen eines Leercodes folgende Vorgänge ab:

- Der Inhalt des Coderegisters BC wird in die Bits 17 bis 24 des Bereitadressenregisters BB übertragen.
- Modus 24 (TR 440-Modus) wird eingestellt
- Eingriffssperre wird gesetzt
- <BLZ1, BLZ2> bleiben unverändert

Abhängig davon, welcher Adressierungsmodus bei Erkennen des Leercodes eingestellt ist, erfolgen die nachstehend aufgeführten Einstellungen und Abspeicherungen (BWR = Befehlswerksregister):

Einge- stellter Adres- sierungs- modus	Einzu- stellen- der Adres- sierungs- modus	Ablage der BWR	Sprung- modi	<Index- zellen>:=	BxB :=
Normal- oder Abwick- lermo- dus	Spezial- modus	$\ll BL \gg + 16_{ff}$	$\langle 7_2 \rangle$	$\langle BI_1 \dots 4 \rangle$	$\langle 4_2 \rangle$
Spezial- oder System- modus	System- modus	$\langle 16 \rangle_{ff}$	$\langle 7_2 \rangle$	unver- ändert	unver- ändert

6.2.
Hardwareseitige
Vorgänge bei
Erkennen eines
SSR-Befehls

In jedem Fall laufen bei Erkennen eines SSR-Befehls folgende Vorgänge ab:

- Der Inhalt des Adressenregisters BA wird in das Bereit-adressenregister BB übertragen.
- Modus 24 (TR 440-Modus) wird eingestellt

Abhängig davon, welcher Adressierungsmodus bei Erkennen des SSR-Befehls eingestellt ist, erfolgen die nachstehend aufgeführten Einstellungen und Abspeicherungen:

Eingestellter Adressie- rungsmodus	Einzustellender Adressierungs- modus	Eingriffs- sperre	Ablage der BWR	< Indexzellen> (wenn Rück- speicherungs- bit gesetzt)	< BXB> :=	< BLZ1, 2>	Sprung nach
Normalmodus	Abwicklermodus	wird nicht gesetzt	$\ll \text{BL} \gg + 16 \gg_{\text{ff}}$	unverändert	unverändert	$\ll \text{BL} \gg + 65 \gg_{3,12}$	$\langle (\langle \text{BL} \rangle + 6)_2 \rangle$
Abwickler- modus	Speichermodus	wird gesetzt	$\ll \text{BL} \gg + 8 \gg_{\text{ff}}$	unverändert	unverändert	unverändert	$\langle 6_2 \rangle$
Spezial- oder Systemmodus	Systemmodus	wird gesetzt	$\langle 8 \gg_{\text{ff}}$	$\langle \text{Bl}_1 \dots 4 \rangle$	$\langle 4_2 \rangle$	unverändert	$\langle 6_2 \rangle$

		Seite
Bild 1	Digitalrechner RD 441 - Werke im Zusammenhang	1
Bild 2a	Allgemeines Maschinenwort des RD 441	3
Bild 2b	Sedezimale Gleitpunktzahl (auf Dualstellen)	4
Bild 2c	Duale Festpunktzahl	5
Bild 2d	Befehlspaar - Einadressenbefehle	6
Bild 2e	Befehlspaar - Zweiadressenbefehle	6
Bild 2f	Textwort - 6 Oktaden	7
Bild 2g	Textwort - 12 Tetraden	7
Bild 2h	Textwort - 8 Hexaden	7
Bild 2i	Textwort - 4 Duodekaden	7
Bild 3	Blockschaltbild des Rechenwerks	
Bild 4	Rechter Befehl in das Befehlsregister	11
Bild 5	Blockschaltbild des Befehlswerks	12
Bild 6	Die Seitenassoziativregister	14
Bild 7	Die Indexassoziativregister	15
Bild 8	Uhrregister und Weckerregister	16
Bild 9	Einteilung von Speicherkachel 0	21
Bild 10	Aufteilung des Leitblocks	23
Bild 11	Hardwareseitig zugeordnete Zellen im Prozeßleitblock	24
Bild 12	Viertelwort in Seiten-Kachel-Tabelle	25
Bild 13	Aufteilung des Prozeßleitblocks in Viertelworte	26
Bild 14	Seitennummern-Vergleich und Auswertung	28
Bild 15	Viertelwort-Ansteuerung in Seiten-Kachel-Tabelle	28
Bild 16	Ersetzung der programmrelativen 16-Bit-Adresse mit der Kacheladresse	30
Bild 17	Indexspeicheransteuerung	32
Bild 18	EAW-Befehl	33
Bild 19	Einteilung von Speicherkachel 1	34
Bild 20	Ablaufcodes von EAW-Befehlen	34
Bild 21	Startinformation	36
Bild 22	Y-Befehl	36
Bild 23	Kanalzuordnungszelle	37
Bild 24	Eingriffswort	39
Bild 25	Unterbrechungsstellen im Befehl	48

Die Verweise beziehen sich auf Seiten

- A
- Abrufphase 47, 48
 - Abschnittseingriff 39
 - Abwicklermodus 17, 22, 24
 - Adressenverschränkung 18
 - Adressierungsmodi 16, 41, 49, 50, 51
 - Adreßrechnungsmodi 16, 17
 - Akkumulator 8
 - Alarme 22, 42, 45
 - Alarme der Gruppe 1: 44
 - Alarme der Gruppe 2: 45
 - Alarmarten 43
 - Alarmsperren 45
 - Anrufseingriff 39
 - alphanumerisch 7
 - Anschlüsse (für Speicher, AE-Geräte, Satellitenrechner)
 - Assoziativspeicher 13, 14, 15
 - Ausführungsphase 47, 48
- B
- Befehle 2, 3
 - Befehlsfolgeregister 13
 - Befehlsregister 11
 - Befehlswerk 1, 2, 10 - 17
 - Befehlswerksregister 10 - 16
 - Bereitadressenregister 3
 - Betriebssystem-Urstartprogramm 3
 - binär 3
 - binäre Null 3
 - Binärstelle 3
 - Bits 3
 - Blockeingriff 39
 - Byte 3
- C
- Code
- D
- Digitalrechner RD 441: 1
 - Dreierprobe 1, 3 - 7,
 - Dualzahl (Festpunktdarstellung) 5
 - Durchstartbefehl 35
- E
- EA-Befehlsregister 3
 - EA-Befehlswerk 1, 3, 33
 - EA-Geräte 3
 - EA-Vorgang 2, 33 - 37
 - EA-Werk (Eingabe/Ausgabe-Werk) 1, 3, 33
 - EA-W-Befehl 33 - 35
 - Eingriffe 38, 40
 - Eingriffsarten 39
 - Eingriffssperre 22, 40, 42, 51
 - Eingriffswerk 1, 33
 - Eingriffswort 39, 41
 - Exponent 4, 5

F	Fehlereingriff 39 Festpunktzahl 5 Fortstartbefehl 35
G	Ganzwort 3 Geräteanschlüsse (Übergabestelle des RD 441) 1, 3 Gleitpunktzahl 4
H	Hauptspeicher 2, 18 Hintergrundspeicher 3
I	Index 14 - 15, 51 Information 3
K	Kabellänge 3 Kachel 19 - 22, 34 Kanalbefehlszellen 35 Kanalwerke 1, 2, 33 Kernspeicher 1 Komplement 3, 4 KSM (Kontrollschreibmaschine) 1 KSP (Schneller Kernspeicher) 1, 2 KSP-Modul 2
L	Leercode 49 Leitblock 23 - 27 LSL (= Lochstreifenleser) 1
M	Makros 49 Mantisse 4, 5 Marke 3, 5 Markenregister (RM) 3 Markenstelle 3 Maschinenwort 3 Massenkernspeicher 1, 2 Mikroprogramme 2 Mikroprogrammwerk Mod 1: Mod 2: Moduln (des Zentralspeichers) 2, 18 Modus 24 (TR 440-Modus) MSP (Massenkernspeicher) 1, 2 MSP-Modul 2
N	Neustartbefehl 35 normalisieren (Normalform) 5 Normalmodus 17, 22, 24
P	periphere Speicher 3 Programm 3, 19 Prozeß 19, 23, 42 Prozessor 8 Prüfkanal (Rechnerkernkanal) 3
R	RD 441: 1, 2 Rechenanlagen TR 440: 1 Rechenwerk 1, 2, 3, 8 - 9 Rechenwerksregister 8 - 9 Rechner (RD 441) 1, 2 Rechnerkern(e) 1, 2, 3 - 17 Rechnerkernkanal (RK-Kanal) 1, 3 RK-Kanal (Rechnerkernkanal) 1 RS (Sammelregister im Rechenwerk für Rechen- und Befehlswerk) 1

S	<p> schneller Kernspeicher 1, 2 Schnellkanal (Schnellkanalwerk) 1, 3 Schnellkanalwerk 1, 3 Schnittstellen (Geräteanschlüsse, Übergabestellen) Sedezimalzahl (Gleitpunktdarstellung) 4 Seite 19 Seiten-Kachel-Tabelle 25, 27 Speicheransteuerung 18 - 32, bes. 27, 31 Speicherorganisation 18 - 32 Speicherwerk 1, 18 Speicherzuteilung 23 Spezialmodus 17, 22 SSR-Befehle 49, 50 Standardkanal (=Standardkanalwerk) 1, 3 Standardkanalwerk 1, 3 Startinformation 35 Stellenzahl (Zahlen) 4, 5 Steuerbits 24 Stopbefehl 35 Stopeingriff 39 Systemmodus 16 </p>
T	<p> technischer Fehler 23 Typenkennung 1, 3 - 7 </p>
U	<p> Übergabestellen (an RD 441) 1 Überlauf 3 Überlauf-Auffangstelle 3 Übertragungsraten (der Kanalwerke) 3 Uhr 15 Unterbrechung 38, 47 Unterbrechungsstellen 47, 48 Unterbrechungssystem 38 Unterkanal Urlader Urstartprogramm 3 </p>
V	<p> VMO (veränderte Meldung) 42 Vorrangwerk 1, 2 Vorzeichen 3, 4, 5 </p>
W	<p> Wartung 3 Wartungsmodus 17 Wecker 15 Werke 1, 2 Wort (TR 440) 1, 3 - 7 Worte (Mehrzahl von Wort) Wortstruktur (Format) 3 - 7 Worttypen 3 - 7 </p>
Y	<p> Y-Befehl 36 </p>
Z	<p> Zahlendarstellung 3, Zahlworte 3 Zeitmultiplex 3 Zelle Zentraleinheit (zentraler Rechner) 1 zentraler Rechner von TR 440: 1 Zentralspeicher (Speicherwerk) 1, 2, 18 Zustandsbits 22 Zykluszeit 2 </p>
Bearbeitung von "Hardwareseitige Eigenschaften ..." N31/V22 Dr. M. u. a. N31/V24 vSy (Hrsg.) KN, 3. 70	